

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-147790

(43)Date of publication of application : 26.05.2000

(51)Int.Cl.

G03F 7/38  
H01L 21/3065

(21)Application number : 10-316459

(71)Applicant : SONY CORP

(22)Date of filing : 06.11.1998

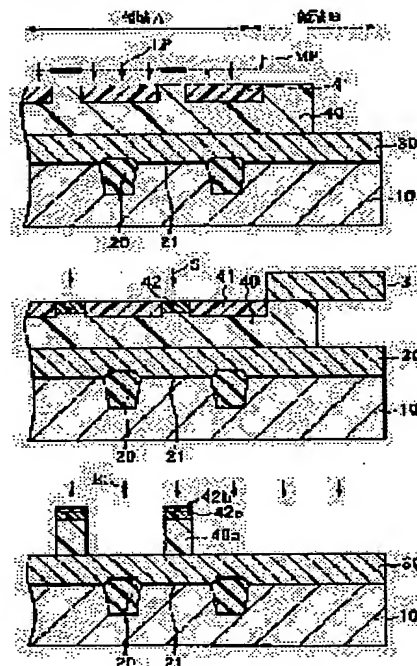
(72)Inventor : UESAWA FUMIKATSU

## (54) PRODUCTION OF SEMICONDUCTOR DEVICE AND APPARATUS THEREFOR

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To remove a resist film on a substrate without leaving residue at the edge part of the substrate when the resist film is patterned by a silylation process.

**SOLUTION:** A resist film having a prescribed pattern is formed on a substrate by a silylation process in at least a 1st region (region A) of the substrate having the 1st region and a 2nd region (region B) around the 1st region. When a silylated product-containing layer 41 is formed in at least a surface layer part of an uncrosslinked resist film 40 in the 1st region or when a silicon oxide-containing layer 42b is formed in at least a surface layer part of a silylated product-containing layer 42 in the 1st region, the resist film in the 2nd region is protected with a protective member 3 so as to prevent the formation of the silicon oxide-containing layer 42b in the 2nd region. As a result, the resist film having the prescribed pattern is formed selectively in the 1st region.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

**BEST AVAILABLE COPY**

\* NOTICES \*

JPO and NCIPJ are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

CLAIMS

---

[Claim(s)]

[Claim 1] Even if there is little substrate which has the 2nd field which is the periphery section of the 1st field and the 1st field concerned, it sets to the 1st field. Are the manufacture approach of the semiconductor device processed into a predetermined pattern, and the processed layer formed in said substrate is set to said 1st field and said 2nd field. With the process which forms the resist film in the whole surface at the upper layer of the processed layer formed in the substrate, it sets to said 1st field at least. The process which exposes said resist film along with a predetermined pattern, and forms the bridge formation section and the section non-constructing a bridge in the surface part of said resist film along with said pattern, In said 1st field, it sets alternatively among said 1st field and 2nd field to the process of said section non-constructing a bridge which forms a silyl ghost content layer in a surface part at least, and said 1st field. In the process which forms a silicon oxide content layer in a surface part at least, and said 1st field and said 2nd field of said silyl ghost content layer In the process which processes said resist film along with said pattern by using said silicon oxide content layer as a mask, and said 1st field and said 2nd field The manufacture approach of a semiconductor device of having the process which processes said processed layer by using as a mask said silicon oxide content layer or said resist film by which pattern processing was carried out.

[Claim 2] The manufacture approach of a semiconductor device according to claim 1 of protecting said 2nd field by the protection member, and performing it among said 1st field and 2nd field in the process of said section non-constructing a bridge which forms a silyl ghost content layer in a surface part at least in said 1st field alternatively.

[Claim 3] The resist film which forms the bridge formation section is used for an exposed part as said resist film. In said process which forms the bridge formation section and the section non-constructing a bridge in the surface part of said resist film along with said pattern in said 1st field at least The manufacture approach of the semiconductor device according to claim 1 which forms the bridge formation section in the surface part of the exposed part of said resist film, and makes the surface part of the part except said bridge formation section of said resist film said section non-constructing a bridge according to the process which exposes said resist film along with a predetermined pattern.

[Claim 4] When exposure and bridge formation processing are performed as said resist film, the section non-constructing a bridge is formed in an exposed part. Use the resist film which forms the bridge formation section in a part for an unexposed part, and it sets at said process which forms the bridge formation section and the section non-constructing a bridge in the surface part of said resist film along with said pattern in said 1st field at least. The manufacture approach of the semiconductor device according to claim 1 which forms the section non-constructing a bridge in the surface part of the exposed part of said resist film, and forms the bridge formation section in the surface part of the part except said section of said resist film non-constructing a bridge according to the process which exposes said resist film along with a predetermined pattern, and the process which performs bridge formation processing.

[Claim 5] In said 1st field, it sets at the process of said silyl ghost content layer which forms a silicon oxide content layer in a surface part at least. The manufacture approach of the

semiconductor device of said silyl ghost content layer according to claim 1 which processes said resist film into coincidence along with said pattern in said 1st field and said 2nd field by using said silicon oxide content layer as a mask while forming a silicon oxide content layer in a surface part at least.

[Claim 6] The manufacture approach of a semiconductor device according to claim 5 of performing plasma treatment which contains oxygen in material gas in said 1st field in the process of said silyl ghost content layer which forms a silicon oxide content layer in a surface part at least.

[Claim 7] Even if there is little substrate which has the 2nd field which is the periphery section of the 1st field and the 1st field concerned, it sets to the 1st field. Are the manufacture approach of the semiconductor device processed into a predetermined pattern, and the processed layer formed in said substrate is set to said 1st field and said 2nd field. With the process which forms the resist film in the whole surface at the upper layer of the processed layer formed in the substrate, it sets to said 1st field at least. In the process which exposes said resist film along with a predetermined pattern, and forms the bridge formation section and the section non-constructing a bridge in the surface part of said resist film along with said pattern, and said 1st field and said 2nd field The process of said section non-constructing a bridge which forms a silyl ghost content layer in a surface part at least, In said 1st field, it sets to said 1st field at least alternatively among said 1st field and 2nd field with the process of said silyl ghost content layer which forms a silicon oxide content layer in a surface part at least. In the process which processes said resist film along with said pattern by using said silicon oxide content layer as a mask, and said 1st field and said 2nd field The manufacture approach of a semiconductor device of having the process which processes said processed layer by using as a mask said silicon oxide content layer or said resist film by which pattern processing was carried out.

[Claim 8] The manufacture approach of a semiconductor device according to claim 7 of protecting said 2nd field by the protection member, and performing it among said 1st field and 2nd field in the process of said silyl ghost content layer which forms a silicon oxide content layer in a surface part at least in said 1st field alternatively.

[Claim 9] The resist film which forms the bridge formation section is used for an exposed part as said resist film. In said process which forms the bridge formation section and the section non-constructing a bridge in the surface part of said resist film along with said pattern in said 1st field at least The manufacture approach of the semiconductor device according to claim 7 which forms the bridge formation section in the surface part of the exposed part of said resist film, and makes the surface part of the part except said bridge formation section of said resist film said section non-constructing a bridge according to the process which exposes said resist film along with a predetermined pattern.

[Claim 10] When exposure and bridge formation processing are performed as said resist film, the section non-constructing a bridge is formed in an exposed part. Use the resist film which forms the bridge formation section in a part for an unexposed part, and it sets at said process which forms the bridge formation section and the section non-constructing a bridge in the surface part of said resist film along with said pattern in said 1st field at least. The manufacture approach of the semiconductor device according to claim 7 which forms the section non-constructing a bridge in the surface part of the exposed part of said resist film, and forms the bridge formation section in the surface part of the part except said section of said resist film non-constructing a bridge according to the process which exposes said resist film along with a predetermined pattern, and the process which performs bridge formation processing.

[Claim 11] In said 1st field, it sets alternatively among said 1st field and 2nd field at the process of said silyl ghost content layer which forms a silicon oxide content layer in a surface part at least. The manufacture approach of the semiconductor device of said silyl ghost content layer according to claim 7 which processes said resist film into coincidence along with said pattern in said 1st field by using said silicon oxide content layer as a mask while forming a silicon oxide content layer in a surface part at least.

[Claim 12] The manufacture approach of a semiconductor device according to claim 11 of performing plasma treatment which contains oxygen in material gas in the process of said silyl

ghost content layer which forms a silicon oxide content layer in a surface part at least in said 1st field alternatively among said 1st field and 2nd field.

[Claim 13] The manufacturing installation of a semiconductor device which is a manufacturing installation of the semiconductor device which carries out silanizing processing of the resist film formed on the substrate with a sililation reagent, and has a silanizing processing room, the pedestal prepared in said silanizing processing interior of a room so that said substrate might be \*\*\*\*(ed), the protection member which protects the edge section of said substrate, and the means which carries out derivation close [ of the sililation reagent ] to said silanizing processing room.

[Claim 14] The manufacturing installation of a semiconductor device which is a manufacturing installation of the semiconductor device which carries out pattern processing of the resist film formed on the substrate by dry etching, and has an etching processing room, the pedestal prepared in said etching processing interior of a room so that said substrate might be \*\*\*\*(ed), the protection member which protects the edge section of said substrate, and the means which carries out derivation close [ of the etching gas ] to said etching processing room.

[Claim 15] The manufacturing installation of the semiconductor device according to claim 14 said whose dry etching processing is the plasma treatment which contains oxygen in material gas.

---

[Translation done.]

\* NOTICES \*

JPO and NCIP are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

## DETAILED DESCRIPTION

---

### [Detailed Description of the Invention]

[0001]

[Field of the Invention] Especially this invention relates to the manufacturing installation of the semiconductor device for enforcing the manufacture approach of the semiconductor device made detailed, and this manufacture approach about the manufacture approach of a semiconductor device, and the photolithography approach.

[0002]

[Description of the Prior Art] Detailed-izing and high integration of a semiconductor integrated circuit in recent years progressed to the next generation in three years, a former generation's contraction-ization 70 percent's was performed and the design rule has also realized improvement in the speed of a semiconductor device with contraction-izing. It is becoming important that the thing processed minutely, such as considering as multilayer-interconnection structure similarly, is [ the wiring section ] also needed by narrowing the occupancy area of the capacitor in gate width, DRAM, etc. of a gate electrode of a transistor, and a contact hole etc. forms the thing of the detailed diameter of opening similarly further in order to process a semiconductor device minutely. It follows on devices, such as a transistor and a capacitor, becoming complicated structure and solidifying, and the interlayer insulation film has been thick-film-ized.

[0003] The above-mentioned detailed-ization has been attained by an advance of the ultra-fine processing technology in the production process of a semiconductor device, and high resolution-ization in the photolithography process which is the technique imprinted on the photosensitive organic film (photoresist) to which the circuit pattern was especially applied on the wafer side using light.

[0004] In a photolithography process, the lower limit of the pattern in which an exposure imprint is possible is exposure wavelength extent. Moreover, in case an exposure imprint is carried out, although defocusing tolerance is required, if a pattern is made detailed by the level difference of a substrate, the aberration of the lens of an aligner, etc. to exposure wavelength extent, the amount of defocusing permissible to pattern formation, i.e., the depth of focus, (DOF;Depth Of Focus) will decrease rapidly. Furthermore, if a pattern makes it detailed, the contrast of a pattern optical image will fall and it will fall, the margin to fluctuation, i.e., the exposure tolerance, of light exposure (effectual light exposure also containing the reflected light from a substrate substrate). Then, it is the flow to current that the exposure light source of shorter wavelength is used as detailed-ization of a semiconductor integrated circuit progresses.

[0005] As the above-mentioned exposure light source, g line (436nm) or i line (365nm) of a mercury lamp is used for the pattern imprint of the semiconductor integrated circuit of 1.0-0.5-micrometer Ruhr, and, specifically, i line is mainly used for the pattern imprint of 0.35-micrometer Ruhr. Moreover, the technique which uses and exposes KrF excimer laser (248.8nm) for manufacture of the semiconductor integrated circuit after 0.25-micrometer Ruhr is developed. In the future, ArF excimer laser (193nm) or an X-ray may be used.

[0006] However, equipment and ingredients, such as that a facility and investment for development are required to newly introduce an aligner with short exposure wavelength, \*\*

material further used for the exposure light source and an aligner in the short wavelength field after ArF excimer laser, and a resist, are current development stages, and, as for not existing etc., short-wavelength-izing of the above-mentioned exposure light source has [ the thing with the engine performance which can be equal to production ] many technical problems which should be conquered. Then, in order to attain high resolution-ization in a photolithography process, research and development in the approach of forming the pattern below exposure wavelength is done, securing not only short-wavelength-izing of the exposure light source but the depth of focus.

[0007] As an approach of forming the pattern below exposure wavelength, the surface imaging (Top Surface Imaging) technique (henceforth a silanizing process) of silanizing only the surface part of the resist film alternatively attracts attention, securing the above-mentioned depth of focus. In this approach, since it is compatible in high resolution and high dry etching resistance, it is the technique especially expected in the resist process after ArF excimer laser.

[0008] As an example of the above-mentioned silanizing process, the manufacture approach of the semiconductor device by the silanizing process of a positive type is explained below with reference to a drawing.

[0009] First, as shown in drawing 11 (a), the substrate 10 which formed various semiconductor devices, such as a transistor, on the active region of the silicon semi-conductor substrate separated by the isolation insulator layer, covered them and formed the interlayer insulation film is formed. Detailed illustration of a semiconductor device etc. is omitted on a drawing. Here, since the front face of a substrate 10 forms various components on a semi-conductor substrate, it is the field which has the irregularity according to the configuration of a component.

[0010] Next, as shown in drawing 11 (b), the resist film 40 is formed in the upper layer of a substrate 10. Here, as resist film 40, an acid is first produced by the thing which carries out crosslinking reaction immediately after exposure, or exposure, this becomes a catalyst, and although what kind of thing is sufficient as what carries out crosslinking reaction in 2nd order by subsequent baking processing as a crosslinking reaction device, the resist film of the type with which the exposed part constructs a bridge is used.

[0011] Next, as shown in drawing 11 (c), the pattern light LP of a positive image is irradiated at the resist film 40 using a SUTTEPA aligner by using as a mask the mask (mask which leaves a part for an unexposed part as a pattern) MP of a positive type. The molecule in the surface part of the resist film 40 of the exposed part forms a lifting and the bridge formation section 41 for crosslinking reaction.

[0012] Next, as shown in drawing 12 (d), the silyl ghost content layer 42 is alternatively formed in the surface part of the section (resist film 40 part except the bridge formation section 41) of the resist film 40 non-constructing a bridge under reduced pressure by the gaseous-phase silanizing method for exposing a resist film front face into sililation reagent S of a gaseous phase, or the liquid phase silanizing method immersed the whole substrate in which the resist film was formed into sililation reagent S of the liquid phase. This uses the phenomenon which sililation reagent S diffuses in the section non-constructing a bridge, although diffusion of sililation reagent S is prevented in the bridge formation section 41.

[0013] Next, as shown in drawing 12 (e), by performing reactive-ion-etching (RIE) processing using the plasma (O<sub>2</sub> plasma) E which contains oxygen in material gas as a dry development, silicon oxide (SiOX) content layer 42b is formed in the surface part of the silyl ghost content layer 42, and the field except silicon oxide content layer 42b is set to silyl ghost content layer 42a. To coincidence, it is this O<sub>2</sub>. Etching processing of the resist film 40 which contains the bridge formation section 41 by using silicon oxide content layer 42b as a mask by plasma treatment is carried out, and the positive pattern which leaves resist film 40a for an unexposed part is formed. As subsequent processes, pattern processing of lower layer insulator layer or electric conduction film of the resist film etc. is carried out by etching processing of RIE etc., for example by using silicon oxide content layer 42b or resist film 40a as a mask.

[0014] Although the manufacture approach of the above-mentioned semiconductor device explained the silanizing process (process which forms a pattern in a part for an unexposed part) of a positive type, it can be made into the silanizing process of a negative mold by making an

exposed part diffuse a silanization reagent alternatively, forming a silicon oxide content layer in the surface part, and forming a pattern.

[0015] The manufacture approach of the semiconductor device using the above-mentioned silanizing process serves as the same principle as using the resist film of a thin film optically from making only the surface part of the resist film resolve, and becomes possible [securing the large depth of focus and forming the pattern of detailed high resolution]. Moreover, since it is not necessary to use a transparent resist and a resist with the high rate of light absorption can be used, the reflected light from a substrate substrate can be pressed down, the standing wave effectiveness can be reduced, and pattern dimensional accuracy can be raised.

[0016]

[Problem(s) to be Solved by the Invention] However, in the manufacture approach of the semiconductor device using the above-mentioned silanizing process, in the process which removes a silicon oxide content layer and/, or a silyl ghost content layer, when exfoliation time amount is insufficient, there is a problem that the residue of a silicon oxide content layer and/, or a silyl ghost content layer occurs in the edge section of a substrate.

[0017] The above-mentioned problem is explained with reference to a drawing. The case where pattern processing of the resist film 40 formed in the upper layer of the substrate 10 as shown in drawing 13 (a) is carried out according to the above-mentioned silanizing process is considered. Drawing 13 (a) is the important section sectional view showing the field near the edge of a substrate. As a manufacturing installation of the semiconductor device used in the production process of a semiconductor device In order to prevent there being much what fixes and processes the periphery section (edge section) X of a substrate by the pawl, and the resist film adhering at this pawl, and polluting By the edge rinse which used resist film removers, such as thinner, immediately after spreading of the resist film, the resist film in the periphery section (edge section) X of a substrate exfoliates, and the substrate is unreserved.

[0018] When silanizing to the resist film 40 formed in the upper layer of the above substrates 10, as shown in drawing 13 (b), the silyl ghost content layer 42 will be formed in a surface part including the side-attachment-wall front face of the resist film 40. From the top face of the resist film, silanization reagent S is the thickness T1 of the silyl ghost content layer 42 which is spread only in an one direction but is formed on the top face of the resist film. For example, although it is about 0.1 micrometers Thickness T2 of the silyl ghost content layer 42 formed in a side-attachment-wall front face in the side-attachment-wall surface part of the resist film since a silanization reagent is spread on all sides Thickness T1 It will be formed thickly.

[0019] the above-mentioned silyl ghost content layer 42 — receiving — O<sub>2</sub> plasma treatment — carrying out — if — drawing 13 — (— c —) — being shown — as — a resist — the film — a side attachment wall — a front face — it can set — silicon oxide — content — a layer — 42 — b — ' — and — silyl — a ghost — content — a layer — 42 — a — ' — thickness — respectively — a resist — the film — a top face — setting — forming — having — silicon oxide — content — a layer — 42 — b — and — silyl — a ghost — content — a layer — 42 — a — thickness — thick — forming — having — \*\*\*\*\* .

[0020] Therefore, if exfoliation sufficient in the exfoliation process of the usual resist film has become difficult and exfoliation of silicon oxide content layer 42b in the side-attachment-wall front face of the resist film and silyl ghost content layer 42a has inadequate exfoliation time amount When exfoliation is performed from the condition shown in drawing 13 (b), as it is shown in drawing 14 (a) Moreover, when exfoliation is performed from the condition shown in drawing 13 (c), as shown in drawing 14 (b), a silicon oxide content layer and/, or residue 42c of a silyl ghost content layer will occur in the edge section of a substrate. Residue 42c will be left behind to the periphery section (edge section) of a substrate 10 as shown in drawing 14 (c). Since it becomes the cause of film peeling when various layers are formed with a CVD method etc. in a back process, it is necessary to remove this residue 42c completely.

[0021] Moreover, since the silicon oxide content layer of a resist film side-attachment-wall front face and silyl ghost content layer in the edge section of a substrate are directly formed on substrate layers, such as polish recon, or a substrate, exfoliation becomes still more difficult when adhesion with the substrate etc. is good. Although HMDS (hexamethyldisilane) is in one of



the sililation reagents, it is used for the adherence agent of a resist and a substrate substrate, the adhesion force of a silicon oxide content layer and a silyl ghost content layer, a substrate, etc. increases in this case, and this will stop being able to exfoliate easily.

[0022] The problem that removal of the resist film containing the above-mentioned silicon oxide content layer and a silyl ghost content layer becomes difficult is a problem generated also in the removal process for playback of the resist film besides a removal process, after imprinting a pattern to a substrate etc. using the resist film by which pattern processing was carried out as mentioned above. Here, playback of the resist film is removing the resist film, redoing a lithography process, and reforming the resist film, when carrying out pattern exposure of the resist film, and the dimension of a pattern shifts from a target value or becomes inadequate [ superposition with substrate patterns, such as a substrate, ], since a setup of light exposure was unsuitable.

[0023] This invention is made in view of the above-mentioned situation, therefore this invention aims at offering the manufacture approach of a semiconductor device and manufacturing installation which can remove said resist film, without leaving residue in the edge section of a substrate, when carrying out pattern processing of the resist film on a substrate according to a silanizing process.

[0024]

[Means for Solving the Problem] In order to attain the above-mentioned purpose, the manufacture approach of the semiconductor device of this invention Even if there is little substrate which has the 2nd field which is the periphery section of the 1st field and the 1st field concerned, it sets to the 1st field. Are the manufacture approach of the semiconductor device processed into a predetermined pattern, and the processed layer formed in said substrate is set to said 1st field and said 2nd field. With the process which forms the resist film in the whole surface at the upper layer of the processed layer formed in the substrate, it sets to said 1st field at least. The process which exposes said resist film along with a predetermined pattern, and forms the bridge formation section and the section non-constructing a bridge in the surface part of said resist film along with said pattern, In said 1st field, it sets alternatively among said 1st field and 2nd field to the process of said section non-constructing a bridge which forms a silyl ghost content layer in a surface part at least, and said 1st field. In the process which forms a silicon oxide content layer in a surface part at least, and said 1st field and said 2nd field of said silyl ghost content layer In the process which processes said resist film along with said pattern by using said silicon oxide content layer as a mask, and said 1st field and said 2nd field It has the process which processes said processed layer by using as a mask said silicon oxide content layer or said resist film by which pattern processing was carried out.

[0025] The manufacture approach of the semiconductor device of above-mentioned this invention forms the resist film in the whole surface at the upper layer of the processed layer formed in the substrate in the 1st field of a substrate and the 2nd field which have the 1st field and the 2nd field which is the periphery section. Next, in the 1st field, the resist film is exposed along with a predetermined pattern at least, and the bridge formation section and the section non-constructing a bridge are formed in the surface part of the resist film along with a pattern. Next, even if there is little section non-constructing a bridge among the 1st field and the 2nd field alternatively in the 1st field, a silyl ghost content layer is formed in a surface part. Next, even if there are few silyl ghost content layers, a silicon oxide content layer is formed in a surface part, and the resist film is processed along with a pattern by using this silicon oxide content layer as a mask. Next, a processed layer is processed by using as a mask a silicon oxide content layer or the resist film by which pattern processing was carried out.

[0026] According to the manufacture approach of the semiconductor device of above-mentioned this invention, since it carries out alternatively in the 1st field among the 1st field and the 2nd field when [ of the section non-constructing a bridge ] forming a silyl ghost content layer in a surface part at least, a silyl ghost content layer is not formed in the 2nd field, therefore a silicon oxide content layer is not formed, either. For this reason, the resist film can be removed easily, without leaving residue in the 2nd field (edge section) of a substrate.

[0027] Suitably, among said 1st field and 2nd field, in said 1st field, the manufacture approach of



the semiconductor device of above-mentioned this invention protects said 2nd field by the protection member, and performs it in the process of said section non-constructing a bridge which forms a silyl ghost content layer in a surface part at least alternatively. Thereby, even if there is little section non-constructing a bridge among the 1st field and the 2nd field alternatively in the 1st field, a silyl ghost content layer can be formed in a surface part.

[0028] In order to attain the above-mentioned purpose, moreover, the manufacture approach of the semiconductor device of this invention Even if there is little substrate which has the 2nd field which is the periphery section of the 1st field and the 1st field concerned, it sets to the 1st field. Are the manufacture approach of the semiconductor device processed into a predetermined pattern, and the processed layer formed in said substrate is set to said 1st field and said 2nd field. With the process which forms the resist film in the whole surface at the upper layer of the processed layer formed in the substrate, it sets to said 1st field at least. In the process which exposes said resist film along with a predetermined pattern, and forms the bridge formation section and the section non-constructing a bridge in the surface part of said resist film along with said pattern, and said 1st field and said 2nd field The process of said section non-constructing a bridge which forms a silyl ghost content layer in a surface part at least, In said 1st field, it sets to said 1st field at least alternatively among said 1st field and 2nd field with the process of said silyl ghost content layer which forms a silicon oxide content layer in a surface part at least. In the process which processes said resist film along with said pattern by using said silicon oxide content layer as a mask, and said 1st field and said 2nd field It has the process which processes said processed layer by using as a mask said silicon oxide content layer or said resist film by which pattern processing was carried out.

[0029] The manufacture approach of the semiconductor device of above-mentioned this invention forms the resist film in the whole surface at the upper layer of the processed layer formed in the substrate in the 1st field of a substrate and the 2nd field which have the 1st field and the 2nd field which is the periphery section. Next, in the 1st field, the resist film is exposed along with a predetermined pattern at least, and the bridge formation section and the section non-constructing a bridge are formed in the surface part of the resist film along with a pattern. Next, even if there is little section non-constructing a bridge in the 1st field and said 2nd field, a silyl ghost content layer is formed in a surface part. Even if there are few silyl ghost content layers among the 1st field and the 2nd field alternatively in the 1st field, a silicon oxide content layer is formed in a surface part, and in the 1st field, the resist film is processed along with a pattern by using a silicon oxide content layer as a mask at least. Next, in the 1st field and the 2nd field, a processed layer is processed by using as a mask a silicon oxide content layer or the resist film by which pattern processing was carried out.

[0030] According to the manufacture approach of the semiconductor device of above-mentioned this invention, since it carries out alternatively in the 1st field among the 1st field and the 2nd field when [ of a silyl ghost content layer ] forming a silicon oxide content layer in a surface part at least, a silicon oxide content layer is not formed in the 2nd field. Therefore, the resist film can be removed easily, without leaving residue in the 2nd field (edge section) of a substrate.

[0031] Suitably, among said 1st field and 2nd field, in said 1st field, the manufacture approach of the semiconductor device of above-mentioned this invention protects said 2nd field by the protection member, and performs it in the process of said silyl ghost content layer which forms a silicon oxide content layer in a surface part at least alternatively. Thereby, even if there are few silyl ghost content layers among the 1st field and the 2nd field alternatively in the 1st field, a silicon oxide content layer can be formed in a surface part.

[0032] The manufacture approach of the semiconductor device of above-mentioned this invention suitably The resist film which forms the bridge formation section is used for an exposed part as said resist film. In said process which forms the bridge formation section and the section non-constructing a bridge in the surface part of said resist film along with said pattern in said 1st field at least According to the process which exposes said resist film along with a predetermined pattern, the bridge formation section is formed in the surface part of the exposed part of said resist film, and let the surface part of the part except said bridge formation section of said resist film be said section non-constructing a bridge. Thereby, it can consider as

the silanizing process of a positive type of leaving a pattern to a part for the unexposed part of the resist film.

[0033] The manufacture approach of the semiconductor device of above-mentioned this invention suitably When exposure and bridge formation processing are performed as said resist film, the section non-constructing a bridge is formed in an exposed part. Use the resist film which forms the bridge formation section in a part for an unexposed part, and it sets at said process which forms the bridge formation section and the section non-constructing a bridge in the surface part of said resist film along with said pattern in said 1st field at least. According to the process which exposes said resist film along with a predetermined pattern, and the process which performs bridge formation processing, the section non-constructing a bridge is formed in the surface part of the exposed part of said resist film, and the bridge formation section is formed in the surface part of the part except said section of said resist film non-constructing a bridge. Thereby, it can consider as the silanizing process of a negative mold of leaving a pattern to the exposed part of the resist film.

[0034] The manufacture approach of the semiconductor device of above-mentioned this invention processes said resist film into coincidence along with said pattern by using said silicon oxide content layer as a mask, forming a silicon oxide content layer in a surface part suitably, in the process of said silyl ghost content layer which forms a silicon oxide content layer in a surface part at least, even if there are few said silyl ghost content layers. For example, by performing plasma treatment which contains oxygen in material gas, as a dry development, the process of a silyl ghost content layer which forms a silicon oxide content layer in a surface part, and the process which processes the resist film along with a pattern by using a silicon oxide content layer as a mask can be performed to coincidence, and a process can be simplified at least.

[0035] Moreover, in order to attain the above-mentioned purpose, the manufacturing installation of the semiconductor device of this invention is a manufacturing installation of the semiconductor device which carries out silanizing processing of the resist film formed on the substrate with a sililation reagent, and has a silanizing processing room, the pedestal prepared in said silanizing processing interior of a room so that said substrate might be \*\*\*\*(ed), the protection member which protects the edge section of said substrate, and the means which carries out derivation close [ of the sililation reagent ] to said silanizing processing room.

[0036] The manufacturing installation of the above-mentioned semiconductor device has the protection member which protects the edge section of a substrate, and can prevent forming a silyl ghost content layer in the edge section of a substrate, since it can carry out by protecting the edge section of a substrate by the protection member when carrying out silanizing processing of the resist film formed on the substrate with a sililation reagent. Therefore, a silicon oxide content layer is not formed, either, but the resist film can be removed easily, without leaving residue in the edge section of a substrate in a silanizing process.

[0037] Moreover, in order to attain the above-mentioned purpose, the manufacturing installation of the semiconductor device of this invention is a manufacturing installation of the semiconductor device which carries out pattern processing of the resist film formed on the substrate by dry etching, and has an etching processing room, the pedestal prepared in said etching processing interior of a room so that said substrate might be \*\*\*\*(ed), the protection member which protects a part for the edge of said substrate, and the means which carries out derivation close [ of the etching gas ] to said etching processing room.

[0038] Since the manufacturing installation of the above-mentioned semiconductor device can protect the edge section of a substrate by the protection member and can perform it when carrying out pattern processing of the resist film formed on the substrate of the plasma treatment which has the protection member which protects a part for the edge of a substrate, for example, contains oxygen in material gas by dry etching, it can prevent forming a silicon oxide content layer in the edge section of a substrate. Therefore, the resist film can be removed easily, without leaving residue in the edge section of a substrate in a silanizing process.

[0039]

[Embodiment of the Invention] Below, the gestalt of operation of this invention is explained with

reference to a drawing.

[0040] 1st operation gestalt drawing 1 (a) is the mimetic diagram of the silanizing processor used in this operation gestalt. The silanizing processing room 1, the pedestal 2 which builds in the processing temperature control device established in the silanizing processing room 1, and Inlet GIN and the exhaust port GOUT which carry out derivation close [ of the sililation reagent of a gaseous phase ] to the silanizing processing room 1 It is prepared. In silanizing processing, the substrate 10 with which the resist film which performs silanizing processing was formed on the pedestal 2 can be \*\*\*\*(ed), the edge section of a substrate 10 can be protected by the protection member 3, and sililation reagent S can be introduced and processed from Inlet GIN.

[0041] The important section enlarged drawing to which the field near the periphery section of the substrate 10 of the above-mentioned silanizing processor was expanded is drawing 1 (b). The protection member 3 has protected the edge section of the resist film 20 formed in the upper layer of a substrate 10. When silanizing a substrate 10 using the above-mentioned silanizing processor, sililation reagent S cannot be diffused from the front face of the resist film 20 of a field protected by the protection member 3, but is alternatively diffused from the front face of the resist film 20 of the opening field of the protection member 3, and the silyl ghost content field 21 is formed.

[0042] The manufacture approach of the semiconductor device which uses the above-mentioned silanizing processor, carries out pattern processing of the resist film formed in the upper layer of a substrate of the silanizing process of a positive type, and carries out pattern processing of the gate electrode of an MOS transistor, using as a mask this resist film by which pattern processing was carried out is explained.

[0043] Drawing 2 is the top view of (a) semi-conductor substrate after the transistor formation process of the manufacture approach of the above-mentioned semiconductor device, and the sectional view of the field near the edge of the (b) aforementioned semi-conductor substrate. Field A is this pattern space in which the MOS transistor is formed. For example, on the active region separated by the isolation insulator layer 20 of the STI (Shallow Trench Isolation) mold on the semi-conductor substrate 10, the gate dielectric film 21 which consists of silicon oxide is formed, and gate electrode 30a of for example, polish recon is formed in the upper layer. Moreover, into the semi-conductor base 10 in the both-sides section of gate electrode 30a, the source drain field 11 which is the diffusion layer of a conductive impurity is formed. The MOS transistor is constituted as mentioned above.

[0044] On the other hand, Field B is the edge section of a semi-conductor substrate, and is equivalent to the periphery section of Field A. Although Field B is a field which does not have the perfect circuit pattern and it is not necessary to form a semiconductor device in this field essentially, the diffusion layer 12 of a conductive impurity is formed on the production process.

[0045] The production process of the manufacture approach until it results in the structure shown in above-mentioned drawing 2 is explained. First, as shown in drawing 3 (a), the isolation insulator layer of a STI mold is formed in the field A of the silicon semi-conductor substrate 10 (this pattern space).

[0046] Next, as shown in drawing 3 (b), in Field A and Field B (edge section), the oxidation silicone film 21 is formed in the whole surface by the oxidizing [ thermally ] method. In Field A, the silicon oxide film 21 turns into gate dielectric film of a transistor.

[0047] next, it is shown in drawing 3 (c) — as — for example, CVD (Chemical Vapor Deposition) — the polish recon layer 30 is made to deposit on the whole surface in Field A and Field B by law In Field A, the polish recon layer 30 is a layer used as the gate electrode of a transistor.

[0048] Next, as shown in the (d) perspective view of drawing 4 , and the (e) sectional view, in Field A and Field B, the resist film 40 for the positive type silanizing processes of a polyvinyl phenol system is formed in the whole surface by rotation spreading at the upper layer of the polish recon layer 30. Here, as resist film 40, an acid is first produced by the thing which carries out crosslinking reaction immediately after exposure, or exposure, this becomes a catalyst, and although what kind of thing is sufficient as what carries out crosslinking reaction in 2nd order by subsequent baking processing as a crosslinking reaction device, the resist film of the type with which the exposed part constructs a bridge is used.

[0049] Next, as shown in the (f) perspective view of drawing 5, and the (g) sectional view, in Field B, Thinner SI removes the resist film 40 in the several mm field X from the periphery section. There is much what fixes and processes the periphery section (edge section) X of a substrate by the pawl as a manufacturing installation of a semiconductor device, and it is for preventing the resist film adhering to this pawl and polluting. Next, the semi-conductor substrate 10 is heated with a hot plate, the solvent in a resist is evaporated, and the resist film 40 is stiffened.

[0050] Next, as shown in drawing 6 (h), in Field A, the pattern light LP of a positive image is irradiated at the resist film 40 by using as a mask the mask (mask which leaves a part for an unexposed part as a pattern) MP of a positive type. The molecule in the surface part of the resist film 40 of the exposed part forms a lifting and the bridge formation section 41 for crosslinking reaction. On the other hand, since Field B does not need to form a pattern, it is not exposed.

[0051] Next, in Field A, the resist film 40 (41) front face is alternatively exposed to siliation reagent S of a gaseous phase, protecting the resist film 40 formed on the substrate 10 in Field B by the protection member 3, as shown in drawing 6 (i). Although diffusion of a siliation reagent is prevented in the bridge formation section 41, from a non-constructing bridge section (resist film 40 part except the bridge formation section 41) front face, a siliation reagent is spread and the silyl ghost content layer 42 is alternatively formed in the surface part of the section non-constructing a bridge by about 0.1-micrometer thickness. Even if the diffusion process of this siliation reagent is immersed into the siliation reagent of the liquid phase, it is possible. Since siliation reagent S cannot be diffused from the front face of the resist film 40 of a field protected by the protection member 3, the silyl ghost content layer 42 is not formed in Field B.

[0052] Next, plasma E1 which contains oxygen in material gas as a dry development as shown in drawing 6 (j) (O<sub>2</sub> plasma) By performing used reactive-ion-etching (RIE) processing, silicon oxide (SiOX) content layer 42b is formed in the surface part of the silyl ghost content layer 42, and the field except silicon oxide content layer 42b is set to silyl ghost content layer 42a. To coincidence, it is this O<sub>2</sub>. Etching processing of the resist film 40 which contains the bridge formation section 41 by using silicon oxide content layer 42a as a mask by plasma treatment is carried out, and the positive pattern which leaves resist film 40a for an unexposed part in Field A is formed. In Field B, since a silicon oxide content layer is not formed as mentioned above, the pattern of the resist film is not formed.

[0053] Next, as shown in drawing 7 (k), it is the plasma E2. By performing used reactive-ion-etching processing, etching processing of the polish recon layer 30 is carried out by using silicon oxide content layer 42b as a mask, and gate electrode 30a of polish recon is formed in Field A.

[0054] Next, as shown in drawing 7 (l), etching removal of silicon oxide content layer 42b and the silyl ghost content layer 42a is carried out by the plasma treatment which contains a fluorine in material gas, and ashing removal of the resist film 40a of bulk is carried out by the plasma treatment which contains oxygen in material gas further. Or exfoliation liquid removes resist film 40a of bulk to silicon oxide content layer 42b and silyl ghost content layer 42a, and a pan.

[0055] Next, the conductive impurity of a conductivity type which is [ in / Field A ] different from the conductivity type of the semi-conductor substrate 10 as shown in drawing 7 (m) (when a substrate is p mold) When n mold impurities, such as Lynn, and a substrate are n molds, the ion implantation of the p mold impurities, such as boron, is carried out using gate electrode 30a as a mask, and the source drain field 11 which is the diffusion layer of a conductive impurity is formed into the semi-conductor substrate 10 in the both-sides section of gate electrode 30a. At this time, the diffusion layer 12 of a conductive impurity is formed also in Field B. By the resist film etc., the mask of the field B can be carried out and it can also carry out an ion implantation to Field A alternatively. Above, it results in the structure shown in drawing 2.

[0056] Since it carries out according to the manufacture approach of the semiconductor device of this above-mentioned operation gestalt, protecting Field B by the protection member in Field A when [ of the section non-constructing a bridge ] forming a silyl ghost content layer in a surface part at least, a silyl ghost content layer is not formed in Field B, therefore a silicon oxide content layer is not formed, either. For this reason, in the exfoliation process of the resist film

after the pattern imprint by playback of the resist film, or etching, the resist film can be removed easily, without leaving residue in the field B (periphery section of Field A) which is the edge section of a substrate.

[0057] The etching processor used in the 2nd operation gestalt book operation gestalt has the almost same configuration as the silanizing processor concerning the 1st operation gestalt shown in the mimetic diagram of drawing 1 (a). By introducing plasma material gas E' containing oxygen instead of introducing sililation reagent S into a processing room, generating the plasma in the processing interior of a room, and supplying etching gas E on a substrate side, silicon oxide-ization of a silyl ghost content field can be performed and the resist film can be further made into the etching system which carries out pattern processing by using the silicon oxide concerned as a mask.

[0058] In the above-mentioned etching system, since the front face of the resist film 20 of a field protected by the protection member 3 is not exposed by etching gas E as shown in drawing 1 (b), a silicon oxide content layer is not formed in this field.

[0059] The manufacture approach of the semiconductor device which uses the above-mentioned etching processor, carries out pattern processing of the resist film formed in the upper layer of a substrate of the silanizing process of a positive type, and carries out pattern processing of the gate electrode of an MOS transistor, using as a mask this resist film by which pattern processing was carried out is explained.

[0060] Drawing 8 is the top view of (a) semi-conductor substrate after the transistor formation process of the manufacture approach of the above-mentioned semiconductor device, and the sectional view of the field near the edge of the (b) aforementioned semi-conductor substrate. It differs that polish recon layer 30b is formed in Field B on a production process with the semiconductor device concerning the 1st operation gestalt although it is substantially the same.

[0061] The manufacture approach of above semiconductor device equipment is explained. First, the polish recon layer which serves as the oxidation silicone film 21 which turns into the isolation insulator layer 20 of a STI mold and gate dielectric film at the silicon semi-conductor substrate 10, and a gate electrode like the 1st operation gestalt is formed, the resist film 40 for the silanizing processes of a polyvinyl phenol system is further formed in the upper layer, and the Puri BEKU processing is performed. Next, as shown in drawing 9 (a), in Field A, the pattern light LP of a positive image is irradiated by using the mask MP of a positive type as a mask at the resist film 40. The molecule in the surface part of the resist film 40 of the exposed part forms a lifting and the bridge formation section 41 for crosslinking reaction. On the other hand, since Field B does not need to form a pattern, it is not exposed.

[0062] Next, as shown in drawing 9 (b), in Field A and Field B, the resist film 40 (41) front face is exposed to sililation reagent S of a gaseous phase. Although diffusion of a sililation reagent is prevented in the bridge formation section 41, from a non-constructing bridge section (resist film 40 part except the bridge formation section 41) front face, a sililation reagent is spread and the silyl ghost content layer 42 is formed in the surface part of the section non-constructing a bridge. Even if the diffusion process of this sililation reagent is immersed into the sililation reagent of the liquid phase, it is possible. The silyl ghost content layer 42 will be formed in the surface part which includes the side-attachment-wall front face of the resist film in Field B at this time. Although a sililation reagent is diffused only in an one direction from the top face of the resist film, in the side-attachment-wall surface part of the resist film, a sililation reagent is spread on all sides. Consequently, thickness T2 of the silyl ghost content layer 42 formed in a side-attachment-wall front face Thickness T1 of the silyl ghost content layer 42 formed on the top face of the resist film It is formed thickly.

[0063] Next, protecting the edge section of the resist film 40 formed on the substrate 10 in Field B by the protection member 3, as shown in drawing 9 (c) For example, plasma E1 which contains oxygen in material gas on the resist film 40 (41) front face alternatively in Field A as a dry development (O2 plasma) By performing used RIE processing Silicon oxide (SiOX) content layer 42b is formed in the surface part of the silyl ghost content layer 42, and the field except silicon oxide content layer 42b is set to silyl ghost content layer 42a. To coincidence, it is this O2. Etching processing is carried out and the resist film 40 which contains the bridge formation

section 41 by using silicon oxide content layer 42b as a mask by plasma treatment forms the positive pattern which leaves resist film 40a for an unexposed part. In Field B, the resist film 40 and the silyl ghost content layer 42 are protected, it is left behind without being etched and a positive pattern is formed.

[0064] Next, as shown in drawing 10 (d), it is the plasma E2. By performing used reactive-ion-etching processing, etching processing of the polish recon layer 30 is carried out by using silicon oxide content layer 42b or the resist film as a mask, and gate electrode 30a of polish recon is formed in Field A. Since a positive pattern is left behind to Field B at this time, polish recon layer 30b is left behind and formed.

[0065] Next, as shown in drawing 10 (e), silicon oxide content layer 42b, silyl ghost content layer 42a, and resist film 40a are removed using the ashing processing by plasma treatment etc., or exfoliation liquid.

[0066] Next, as shown in drawing 10 (f), in Field A, the ion implantation of the conductive impurity of the conductivity type of the semi-conductor substrate 10 and a different conductivity type is carried out using gate electrode 30a as a mask, and the source drain field 11 which is the diffusion layer of a conductive impurity is formed into the semi-conductor substrate 10 in the both-sides section of gate electrode 30a. At this time, the diffusion layer 12 of a conductive impurity is formed also in Field B. By the resist film etc., the mask of the field B can be carried out and it can also carry out an ion implantation to Field A alternatively. Above, it results in the structure shown in drawing 8.

[0067] Since according to the manufacture approach of the semiconductor device of this above-mentioned operation gestalt it carries out, protecting Field B by the protection member when forming a silicon oxide content layer in the surface part of a silyl ghost content layer in Field A, a silicon oxide content layer is not formed here. For this reason, in the exfoliation process of the resist film after the pattern imprint by playback of the resist film, or etching, the resist film can be removed easily, without leaving residue in the field B (periphery section of Field A) which is the edge section of a substrate.

[0068] This invention can apply it even to what, if the semiconductor device of MOS transistors, such as DRAM, the semiconductor device of bipolar \*\*, or an A/D converter is the manufacture approach of a semiconductor device of having the process which carries out pattern processing of the photoresist film according to a photolithography process.

[0069] This invention is not limited to the gestalt of the above-mentioned operation. For example, although the resist film is formed according to the silanizing process as resist film for pattern processing for processing a gate electrode with the operation gestalt, it is applicable to processing of conductive layers other than a gate electrode, the substrate itself, or an insulator layer. Moreover, by using the resist film of the type with which an exposed field serves as the section non-constructing a bridge, and an unexposed field serves as the bridge formation section, although the silanizing process of a positive type is explained, considering as the silanizing process of a negative mold is also possible, and the same effectiveness of preventing that a silyl ghost content layer is formed in the edge section (periphery section) of a substrate can be acquired. In addition, change various in the range which does not deviate from the summary of this invention can be made.

[0070]

[Effect of the Invention] the manufacture approach offer of the semiconductor device from which said resist film can be removed, without leaving residue in the edge section of a substrate when carrying out pattern processing of the resist film on a substrate according to a silanizing process according to this invention — it can carry out.

[0071] Moreover, according to this invention, it is possible to offer the manufacturing installation of the semi-conductor for realizing the manufacture approach of the above-mentioned semiconductor device.

---

[Translation done.]

## \* NOTICES \*

JPO and NCIP are not responsible for any damages caused by the use of this translation.

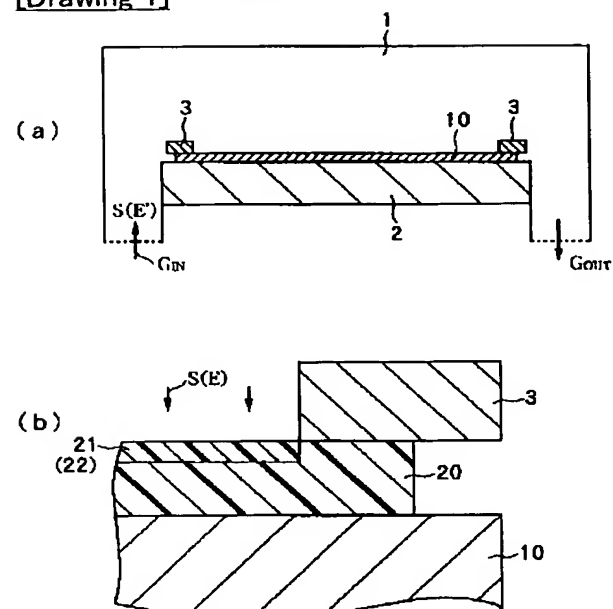
1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\* shows the word which can not be translated.

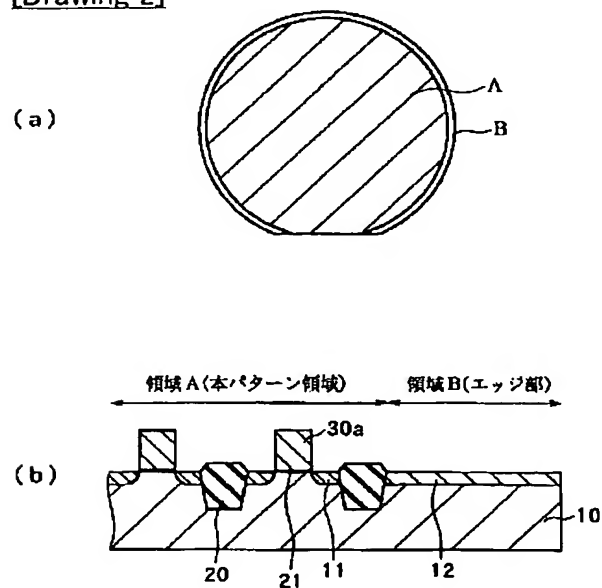
3.In the drawings, any words are not translated.

## DRAWINGS

[Drawing 1]

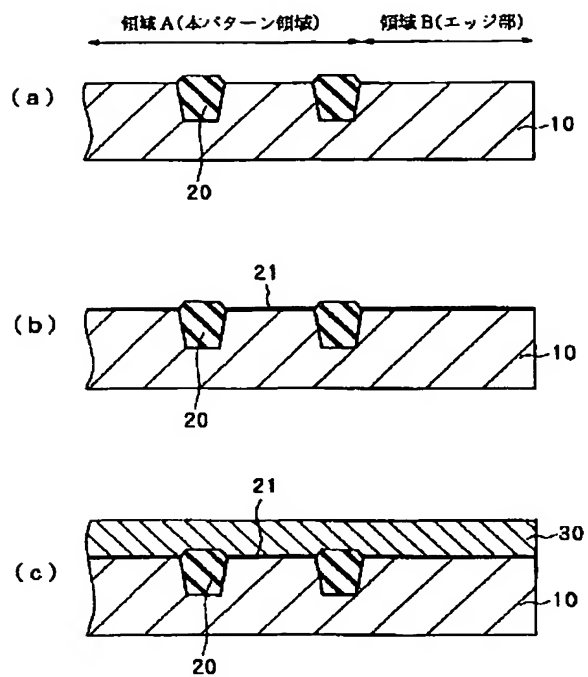


[Drawing 2]

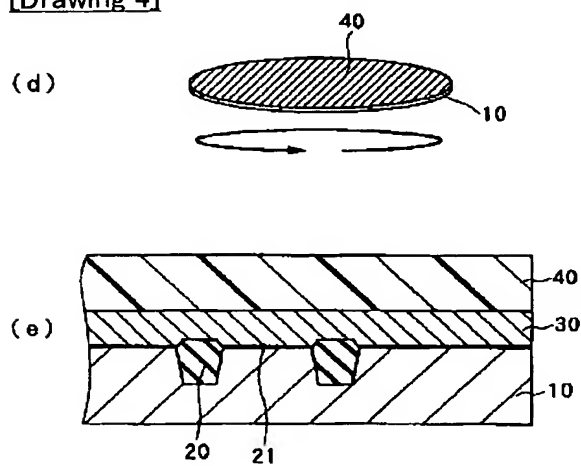


[Drawing 3]

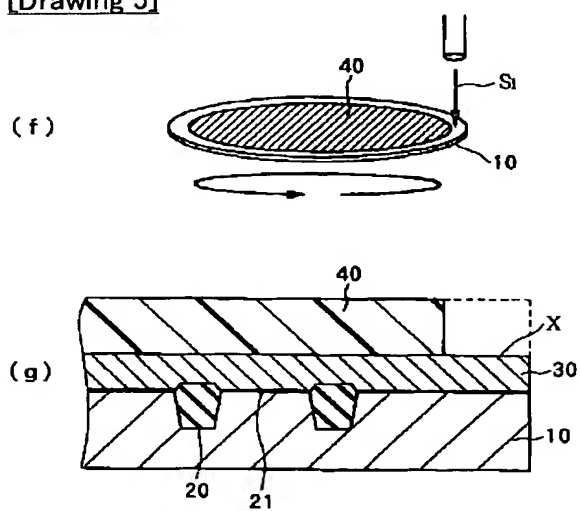




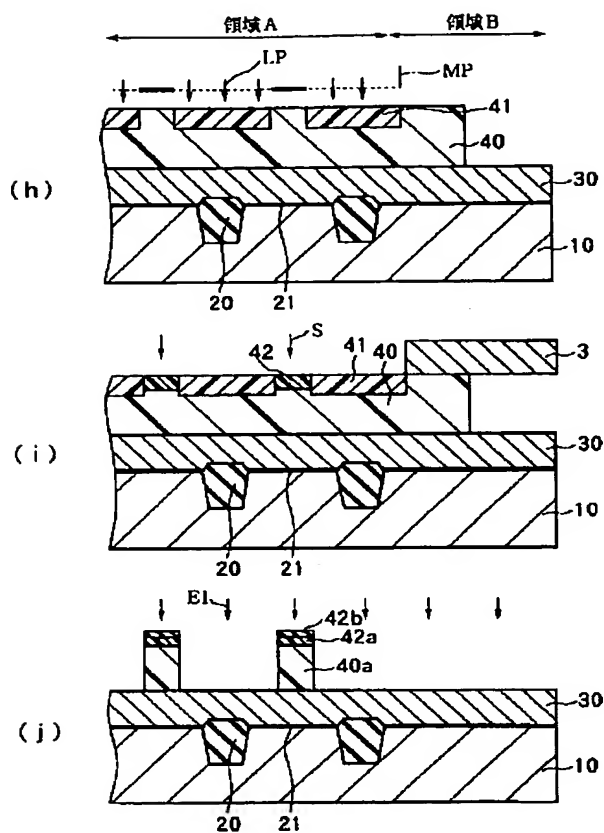
[Drawing 4]



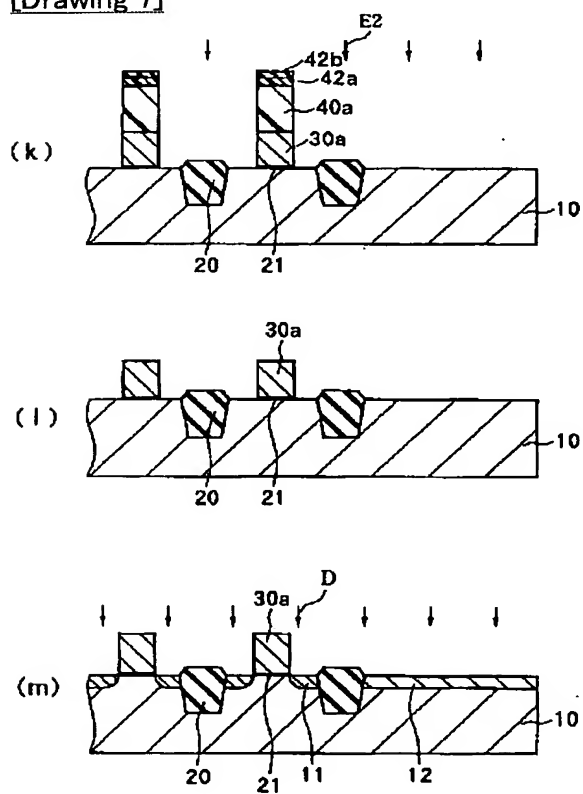
[Drawing 5]



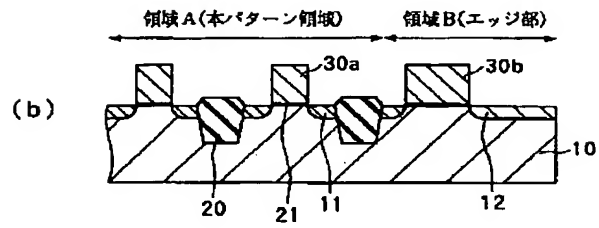
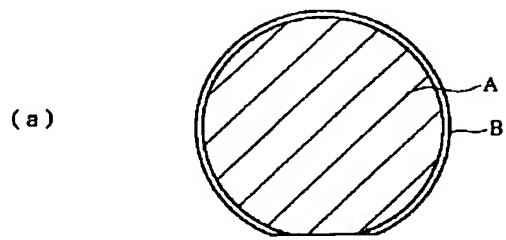
[Drawing 6]



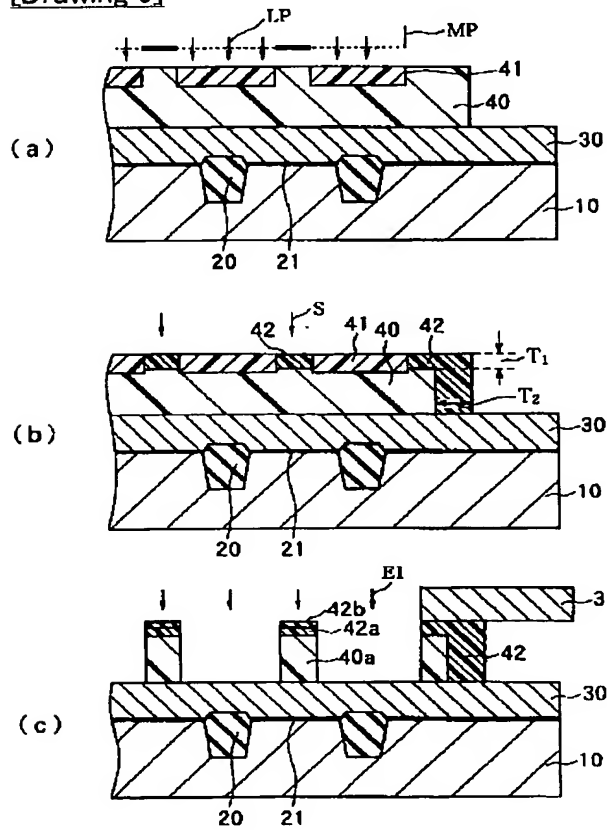
[Drawing 7]



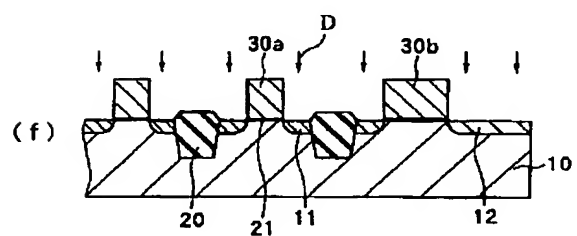
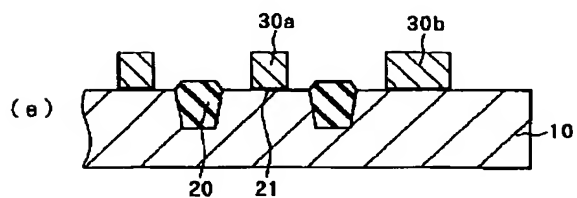
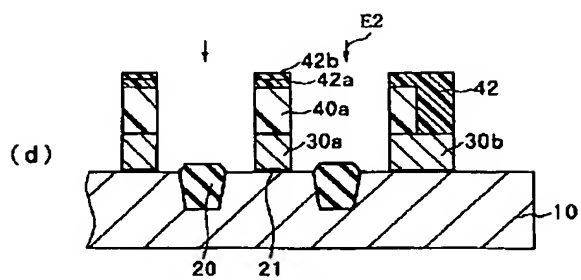
[Drawing 8]



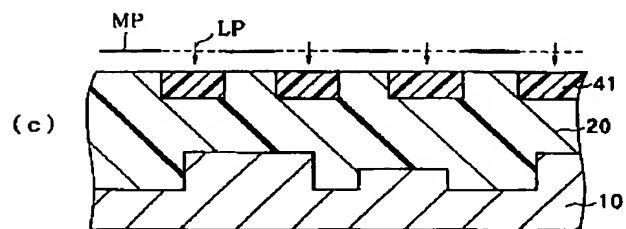
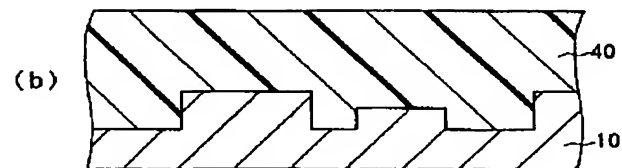
[Drawing 9]



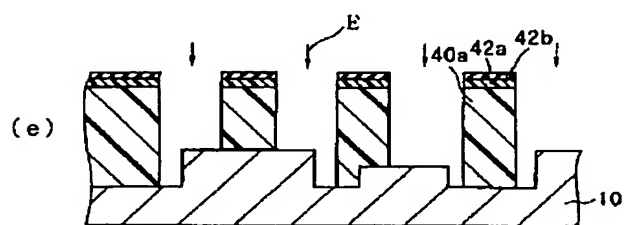
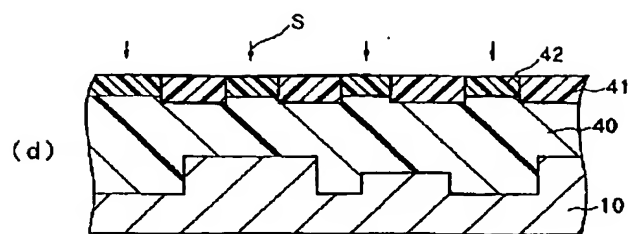
[Drawing 10]



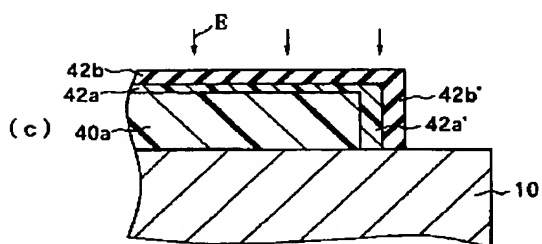
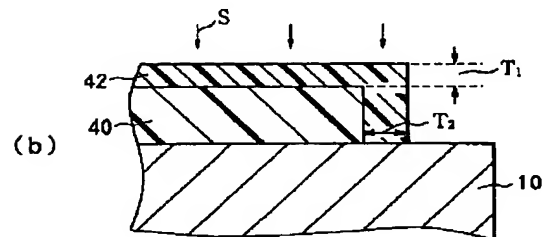
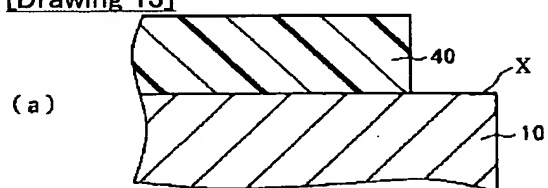
[Drawing 11]



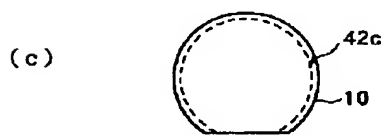
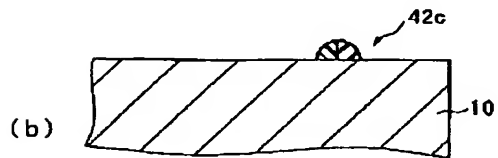
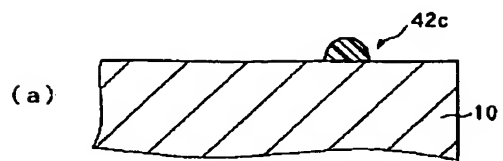
[Drawing 12]



[Drawing 13]



[Drawing 14]




---

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-147790

(P2000-147790A)

(43) 公開日 平成12年5月26日 (2000.5.26)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	ターム(参考)
G 0 3 F 7/38	5 1 2	G 0 3 F 7/38	5 1 2 2 H 0 9 6
H 0 1 L 21/3065		H 0 1 L 21/302	H 5 F 0 0 4

審査請求 未請求 請求項の数15 O L (全 14 頁)

(21) 出願番号 特願平10-316459

(22) 出願日 平成10年11月6日 (1998.11.6)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 上澤 史且

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74) 代理人 100094053

弁理士 佐藤 隆久

Fターム(参考) 2H096 AA25 BA01 BA09 FA04 FA10

GA36 GA37 HA23

5F004 AA04 BA04 DA26 DB26 EA04

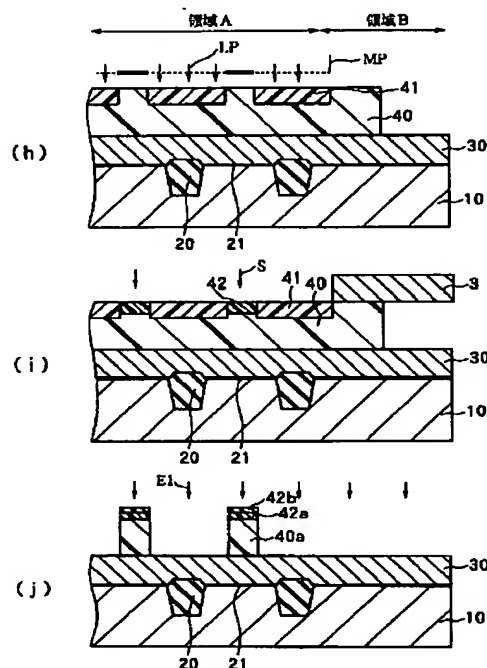
EA06 EA26

(54) 【発明の名称】 半導体装置の製造方法および製造装置

(57) 【要約】

【課題】 シリル化プロセスにより基板上にレジスト膜をパターン加工するときに、基板のエッジ部において残渣を残すことなく前記レジスト膜を除去することができる半導体装置の製造方法および製造装置を提供する。

【解決手段】 第1領域（領域A）とその外周部である第2領域（領域B）を有する基板の少なくとも第1領域においてシリル化プロセスにより基板に所定のパターンのレジスト膜を形成するときに、第1領域において非架橋部のレジスト膜40の少なくとも表層部分にシリル化物含有層41を形成するとき、あるいは、第1領域においてシリル化物含有層42の少なくとも表層部分に酸化シリコン含有層42bを形成するときに、第2領域におけるレジスト膜を保護部材3で保護しながら第1領域に選択的に行い、第2領域に酸化シリコン含有層42bが形成されるのを防止する。





## 【特許請求の範囲】

【請求項1】第1領域と当該第1領域の外周部である第2領域を有する基板の少なくとも第1領域において、前記基板に形成された被加工層を所定のパターンに加工する半導体装置の製造方法であって、

前記第1領域および前記第2領域において、基板に形成された被加工層の上層に全面にレジスト膜を形成する工程と、

少なくとも前記第1領域において、前記レジスト膜を所定のパターンに沿って露光し、前記レジスト膜の表層部分に前記パターンに沿って架橋部と非架橋部を形成する工程と、

前記第1領域と第2領域のうち、前記第1領域において選択的に前記非架橋部の少なくとも表層部分にシリル化合物含有層を形成する工程と、

前記第1領域において、前記シリル化合物含有層の少なくとも表層部分に酸化シリコン含有層を形成する工程と、

前記第1領域および前記第2領域において、前記酸化シリコン含有層をマスクとして前記レジスト膜を前記パターンに沿って加工する工程と、

前記第1領域および前記第2領域において、前記酸化シリコン含有層あるいは前記パターン加工されたレジスト膜をマスクとして前記被加工層を加工する工程とを有する半導体装置の製造方法。

【請求項2】前記第1領域と第2領域のうち、前記第1領域において選択的に前記非架橋部の少なくとも表層部分にシリル化合物含有層を形成する工程においては、前記第2領域を保護部材で保護して行う請求項1記載の半導体装置の製造方法。

【請求項3】前記レジスト膜として被露光部分に架橋部を形成するレジスト膜を使用し、

前記少なくとも前記第1領域において前記レジスト膜の表層部分に前記パターンに沿って架橋部と非架橋部を形成する工程においては、前記レジスト膜を所定のパターンに沿って露光する工程により、前記レジスト膜の被露光部分の表層部分に架橋部を形成し、前記レジスト膜の前記架橋部を除く部分の表層部分を前記非架橋部とする請求項1記載の半導体装置の製造方法。

【請求項4】前記レジスト膜として露光および架橋処理を施したときに被露光部分に非架橋部を形成し、未露光部分に架橋部を形成するレジスト膜を使用し、

前記少なくとも前記第1領域において前記レジスト膜の表層部分に前記パターンに沿って架橋部と非架橋部を形成する工程においては、前記レジスト膜を所定のパターンに沿って露光する工程と、架橋処理を施す工程により、前記レジスト膜の被露光部分の表層部分に非架橋部を形成し、前記レジスト膜の前記非架橋部を除く部分の表層部分に架橋部を形成する請求項1記載の半導体装置の製造方法。

【請求項5】前記第1領域において、前記シリル化合物含

有層の少なくとも表層部分に酸化シリコン含有層を形成する工程においては、前記シリル化合物含有層の少なくとも表層部分に酸化シリコン含有層を形成しながら、同時に前記第1領域および前記第2領域において、前記酸化シリコン含有層をマスクとして前記レジスト膜を前記パターンに沿って加工する請求項1記載の半導体装置の製造方法。

【請求項6】前記第1領域において、前記シリル化合物含有層の少なくとも表層部分に酸化シリコン含有層を形成する工程においては、原料ガス中に酸素を含有するプラズマ処理を施す請求項5記載の半導体装置の製造方法。

【請求項7】第1領域と当該第1領域の外周部である第2領域を有する基板の少なくとも第1領域において、前記基板に形成された被加工層を所定のパターンに加工する半導体装置の製造方法であって、

前記第1領域および前記第2領域において、基板に形成された被加工層の上層に全面にレジスト膜を形成する工程と、

少なくとも前記第1領域において、前記レジスト膜を所定のパターンに沿って露光し、前記レジスト膜の表層部分に前記パターンに沿って架橋部と非架橋部を形成する工程と、

前記第1領域および前記第2領域において、前記非架橋部の少なくとも表層部分にシリル化合物含有層を形成する工程と、

前記第1領域と第2領域のうち、前記第1領域において選択的に前記シリル化合物含有層の少なくとも表層部分に酸化シリコン含有層を形成する工程と、

少なくとも前記第1領域において、前記酸化シリコン含有層をマスクとして前記レジスト膜を前記パターンに沿って加工する工程と、

前記第1領域および前記第2領域において、前記酸化シリコン含有層あるいは前記パターン加工されたレジスト膜をマスクとして前記被加工層を加工する工程とを有する半導体装置の製造方法。

【請求項8】前記第1領域と第2領域のうち、前記第1領域において選択的に前記シリル化合物含有層の少なくとも表層部分に酸化シリコン含有層を形成する工程においては、前記第2領域を保護部材で保護して行う請求項7記載の半導体装置の製造方法。

【請求項9】前記レジスト膜として被露光部分に架橋部を形成するレジスト膜を使用し、

前記少なくとも前記第1領域において前記レジスト膜の表層部分に前記パターンに沿って架橋部と非架橋部を形成する工程においては、前記レジスト膜を所定のパターンに沿って露光する工程により、前記レジスト膜の被露光部分の表層部分に架橋部を形成し、前記レジスト膜の前記架橋部を除く部分の表層部分を前記非架橋部とする請求項7記載の半導体装置の製造方法。

【請求項10】前記レジスト膜として露光および架橋処

理を施したときに被露光部分に非架橋部を形成し、未露光部分に架橋部を形成するレジスト膜を使用し、前記少なくとも前記第1領域において前記レジスト膜の表層部分に前記パターンに沿って架橋部と非架橋部を形成する工程においては、前記レジスト膜を所定のパターンに沿って露光する工程と、架橋処理を施す工程により、前記レジスト膜の被露光部分の表層部分に非架橋部を形成し、前記レジスト膜の前記非架橋部を除く部分の表層部分に架橋部を形成する請求項7記載の半導体装置の製造方法。

【請求項11】前記第1領域と第2領域のうち、前記第1領域において選択的に前記シリル化物含有層の少なくとも表層部分に酸化シリコン含有層を形成する工程においては、前記シリル化物含有層の少なくとも表層部分に酸化シリコン含有層を形成しながら、同時に前記第1領域において、前記酸化シリコン含有層をマスクとして前記レジスト膜を前記パターンに沿って加工する請求項7記載の半導体装置の製造方法。

【請求項12】前記第1領域と第2領域のうち、前記第1領域において選択的に前記シリル化物含有層の少なくとも表層部分に酸化シリコン含有層を形成する工程においては、原料ガス中に酸素を含有するプラズマ処理を施す請求項11記載の半導体装置の製造方法。

【請求項13】基板上に形成されたレジスト膜をシリル化剤によりシリル化処理する半導体装置の製造装置であって、  
シリル化処理室と、  
前記基板を載置するように前記シリル化処理室内に設けられた基台と、  
前記基板のエッジ部を保護する保護部材と、  
前記シリル化処理室にシリル化剤を導入する手段とを有する半導体装置の製造装置。

【請求項14】基板上に形成されたレジスト膜をドライエッチングによりパターン加工する半導体装置の製造装置であって、  
エッチング処理室と、  
前記基板を載置するように前記エッチング処理室内に設けられた基台と、  
前記基板のエッジ部を保護する保護部材と、  
前記エッチング処理室にエッチングガスを導出入する手段とを有する半導体装置の製造装置。

【請求項15】前記ドライエッチング処理が、原料ガス中に酸素を含有するプラズマ処理である請求項14記載の半導体装置の製造装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置の製造方法およびフォトリソグラフィ方法に関し、特に微細化された半導体装置の製造方法およびこの製造方法を実施するための半導体装置の製造装置に関する。

【0002】

【従来の技術】近年の半導体集積回路の微細化および高集積化は3年で次世代へ進み、デザインルールは前世代の7割の縮小化が行われ、縮小化に伴い半導体装置の高速化も実現してきた。半導体装置を微細に加工するために、例えばトランジスタのゲート電極のゲート幅やDRAMなどでのキャパシタの占有面積を狭め、配線部も同様に、多層配線構造とするなど、微細に加工することが必要になってきており、さらにコンタクトホールなども同様に微細な開口径のものを形成することが重要になってきている。トランジスタやキャパシタなどのデバイスが複雑な構造になって立体化するに伴い、層間絶縁膜は厚膜化してきている。

【0003】上記の微細化は、半導体装置の製造工程における微細加工技術の進歩、特に、光を利用して回路パターンをウェーハ面上に塗布された感光性有機膜（フォトリソグ）に転写する技術であるフォトリソグラフィ工程における高解像力化により達成されてきた。

【0004】フォトリソグラフィ工程において露光転写可能なパターンの最小寸法は露光波長程度である。また、露光転写する際、基板の段差、露光装置のレンズの収差等によりデフォーカス裕度が必要であるが、パターンが露光波長程度まで微細化されるとパターン形成に対し許容できるデフォーカス量、つまり焦点深度(DOF; Depth Of Focus)が急激に減少する。さらに、パターンが微細化すると、パターン光学像のコントラストが低下し、露光量(下地基板からの反射光も含む実効的な露光量)の変動に対するマージン、つまり露光裕度が低下する。そこで半導体集積回路の微細化が進むにつれ、より短い波長の露光光源が用いられているのが現在までの流れである。

【0005】上記の露光光源としては、具体的には、

1. 0.05 μmルールの半導体集積回路のパターン転写には、水銀ランプのg線(436nm)あるいはi線(365nm)が用いられており、0.35 μmルールのパターン転写には、主にi線が用いられている。また、0.25 μmルール以降の半導体集積回路の製造のために、KrFエキシマレーザ(248.8nm)を用いて露光する技術が開発されている。将来的には、ArFエキシマレーザ(193nm)あるいはX線が用いられる可能性がある。

【0006】しかしながら、新たに露光波長の短い露光装置を導入するには設備および開発投資が必要であること、さらに、ArFエキシマレーザ以降の短波長領域では、露光光源、露光装置に用いる硝材、レジストなどの装置および材料は現在開発段階であり、生産に耐える性能を持つものは存在しないことなど、上記の露光光源の短波長化には克服すべき課題が多い。そこで、フォトリソグラフィ工程における高解像力化を達成するために、露光光源の短波長化だけでなく、焦点深度を確保し

つつ露光波長以下のパターンを形成する方法が研究開発されている。

【0007】上記の焦点深度を確保しつつ露光波長以下のパターンを形成する方法として、レジスト膜の表層部分のみを選択的にシリル化する表層イメージング (Top Surface Imaging) 技術 (以下、シリル化プロセスともいう) が注目されている。この方法においては、高解像度と高いドライエッチング耐性を両立できるため、特に ArF エキシマレーザ以降のレジストプロセスにおいて期待されている技術である。

【0008】上記のシリル化プロセスの例として、ポジ型のシリル化プロセスによる半導体装置の製造方法について、図面を参照して以下に説明する。

【0009】まず、図11(a)に示すように、例えば素子分離絶縁膜で分離したシリコン半導体基板の活性領域上にトランジスタなどの種々の半導体素子を形成し、それらを被覆して層間絶縁膜を形成した基板10を形成する。図面上、半導体素子などの詳細な図示は省略している。ここで、基板10の表面は、半導体基板上に種々の素子を形成しているために、素子の形状に応じた凹凸を有する面となっている。

【0010】次に、図11(b)に示すように、基板10の上層にレジスト膜40を形成する。ここで、レジスト膜40としては、露光後に直ちに架橋反応をするもの、あるいは、露光によってまず酸を生じてこれが触媒になり、その後のベーキング処理により2次的に架橋反応をするものなど、架橋反応機構としてはどのようなものでもよいが、露光された部分が架橋するタイプのレジスト膜を用いる。

【0011】次に、図11(c)に示すように、例えばスッチャ露光装置を用いて、ポジ型のマスク (未露光部分をパターンとして残すマスク) MPをマスクとして、ポジ像のパターン光LPをレジスト膜40に照射する。露光された部分のレジスト膜40の表層部分の中の分子は架橋反応を起こし、架橋部41を形成する。

【0012】次に、図12(d)に示すように、例えば減圧下で気相のシリル化剤S中にレジスト膜表面を曝露する気相シリル化法、あるいは、液相のシリル化剤S中にレジスト膜を形成した基板ごと浸漬する液相シリル化法により、レジスト膜40の非架橋部 (架橋部41を除くレジスト膜40部分) の表層部分に選択的にシリル化物含有層42を形成する。これは、架橋部41においてはシリル化剤Sの拡散が防止されるが、非架橋部ではシリル化剤Sが拡散する現象を利用するものである。

【0013】次に、図12(e)に示すように、例えば、ドライ現像処理として、原料ガス中に酸素を含有するプラズマ (O<sub>2</sub> プラズマ) Eを用いた反応性イオンエッチング (RIE) 処理を施すことにより、シリル化物含有層42の表層部分に酸化シリコン (SiO<sub>x</sub>) 含有層42bが形成され、酸化シリコン含有層42bを除く

領域がシリル化物含有層42aとなる。同時に、このO<sub>2</sub> プラズマ処理により、酸化シリコン含有層42bをマスクとして、架橋部41を含むレジスト膜40がエッチング加工されて、未露光部分のレジスト膜40aを残すポジパターンが形成される。以降の工程としては、例えば酸化シリコン含有層42bあるいはレジスト膜40aをマスクとして、レジスト膜の下層の絶縁膜あるいは導電膜などをRIEなどのエッチング処理によりパターン加工する。

10 【0014】上記の半導体装置の製造方法は、ポジ型のシリル化プロセス (未露光部分にパターンを形成する工程) について説明したが、被露光部分に選択的にシリル化剤を拡散させ、その表層部分に酸化シリコン含有層を形成してパターンを形成することにより、ネガ型のシリル化プロセスとすることができる。

【0015】上記のシリル化プロセスを用いた半導体装置の製造方法は、レジスト膜の表層部分のみを解像させることから、光学的には薄膜のレジスト膜を用いていることと同じ原理となり、微細な高解像度のパターンを広い焦点深度を確保して形成することが可能となる。また、透明なレジストを用いる必要はなく、光吸収率の高いレジストを用いることができるので、下地基板からの反射光をおさえることができ、定在波効果を低減して、パターン寸法精度を向上させることができる。

【0016】

【発明が解決しようとする課題】しかしながら、上記のシリル化プロセスを用いた半導体装置の製造方法においては、酸化シリコン含有層および/あるいはシリル化物含有層を除去する工程において、剥離時間が足りない場合に基板のエッジ部で酸化シリコン含有層および/あるいはシリル化物含有層の残渣が発生するという問題がある。

【0017】上記の問題について、図面を参照して説明する。図13(a)に示すような基板10の上層に形成されたレジスト膜40を上記のシリル化プロセスによりパターン加工する場合を考える。図13(a)は基板のエッジ近傍領域を示す要部断面図である。半導体装置の製造工程において用いられる半導体装置の製造装置としては、基板の外周部 (エッジ部) Xを爪で固定して処理するものが多く、この爪にレジスト膜が付着して汚染してしまうことを防止するために、レジスト膜の塗布直後にシンナーなどのレジスト膜除去剤を用いたエッジリンスにより、基板の外周部 (エッジ部) Xにおけるレジスト膜は剥離され、基板がむき出しになっている。

【0018】上記のような基板10の上層に形成されたレジスト膜40に対してシリル化を行う場合、図13(b)に示すように、レジスト膜40の側壁表面を含む表層部分にシリル化物含有層42が形成されることになる。レジスト膜の上面からはシリル化剤Sは一方方向にしか拡散せず、レジスト膜の上面において形成されるシリ

ル化物含有層42の膜厚T1は例えば0.1μm程度であるが、レジスト膜の側壁表面部分においては、シリル化剤が四方に拡散するため、側壁表面において形成されるシリル化物含有層42の膜厚T2は膜厚T1よりも厚く形成されることになる。

【0019】上記のシリル化物含有層42に対してO<sub>2</sub>プラズマ処理を行うと、図13(c)に示すように、レジスト膜の側壁表面における酸化シリコン含有層42b'およびシリル化物含有層42a'の膜厚は、それぞれレジスト膜の上面において形成される酸化シリコン含有層42bおよびシリル化物含有層42aの膜厚よりも厚く形成されることになる。

【0020】従って、レジスト膜の側壁表面における酸化シリコン含有層42bおよびシリル化物含有層42aの剥離は通常のレジスト膜の剥離プロセスでは十分な剥離が困難となっており、剥離時間が不十分であると、図13(b)に示す状態から剥離を行った場合には図14(a)に示すように、また、図13(c)に示す状態から剥離を行った場合には図14(b)に示すように、基板のエッジ部で酸化シリコン含有層および/あるいはシリル化物含有層の残渣42cが発生することになる。残渣42cは、図14(c)に示すように、基板10の外周部(エッジ部)に残されることになる。この残渣42cは、後工程においてCVD法などにより種々の層を成膜したときに膜剥がれの原因となるので、完全に除去する必要がある。

【0021】また、基板のエッジ部におけるレジスト膜側壁表面の酸化シリコン含有層およびシリル化物含有層は、ポリシリコンなどの下地層あるいは基板などの上に直接形成されるので、その基板などとの密着性が良い場合、剥離がさらに困難になる。シリル化剤の一つにHMDS(hexamethyldisilane)があるが、これは、レジストと下地基板との密着剤に使用されているものであり、この場合には酸化シリコン含有層およびシリル化物含有層と基板などとの密着力が高まり、剥離しにくくなってしまふ。

【0022】上記の酸化シリコン含有層およびシリル化物含有層を含むレジスト膜の除去が困難となるという問題は、上記のようにパターン加工されたレジスト膜を用いて基板などにパターンを転写した後での除去工程の他、レジスト膜の再生のための除去工程においても発生する問題である。ここで、レジスト膜の再生とは、レジスト膜をパターン露光する際に露光量の設定が不適切であったためにパターンの寸法が目標とする値からずれてしまったり、あるいは基板などの下地パターンとの重ね合わせが不十分となった場合に、そのレジスト膜を除去し、リソグラフィー工程をやり直してレジスト膜を形成し直すことである。

【0023】本発明は上記の状況に鑑みてなされたものであり、従って本発明は、シリル化プロセスにより基板

上にレジスト膜をパターン加工するときに、基板のエッジ部において残渣を残すことなく前記レジスト膜を除去することができる半導体装置の製造方法および製造装置を提供することを目的とする。

【0024】

【課題を解決するための手段】上記の目的を達成するため、本発明の半導体装置の製造方法は、第1領域と当該第1領域の外周部である第2領域を有する基板の少なくとも第1領域において、前記基板に形成された被加工層を所定のパターンに加工する半導体装置の製造方法であって、前記第1領域および前記第2領域において、基板に形成された被加工層の上層に全面にレジスト膜を形成する工程と、少なくとも前記第1領域において、前記レジスト膜を所定のパターンに沿って露光し、前記レジスト膜の表層部分に前記パターンに沿って架橋部と非架橋部を形成する工程と、前記第1領域と第2領域のうち、前記第1領域において選択的に前記非架橋部の少なくとも表層部分にシリル化物含有層を形成する工程と、前記第1領域において、前記シリル化物含有層の少なくとも表層部分に酸化シリコン含有層を形成する工程と、前記第1領域および前記第2領域において、前記酸化シリコン含有層をマスクとして前記レジスト膜を前記パターンに沿って加工する工程と、前記第1領域および前記第2領域において、前記酸化シリコン含有層あるいは前記パターン加工されたレジスト膜をマスクとして前記被加工層を加工する工程とを有する。

【0025】上記の本発明の半導体装置の製造方法は、第1領域とその外周部である第2領域を有する基板第1領域および第2領域において基板に形成された被加工層の上層に全面にレジスト膜を形成する。次に、少なくとも第1領域においてレジスト膜を所定のパターンに沿って露光し、レジスト膜の表層部分にパターンに沿って架橋部と非架橋部を形成する。次に、第1領域と第2領域のうち、第1領域において選択的に非架橋部の少なくとも表層部分にシリル化物含有層を形成する。次に、シリル化物含有層の少なくとも表層部分に酸化シリコン含有層を形成し、この酸化シリコン含有層をマスクとしてレジスト膜をパターンに沿って加工する。次に、酸化シリコン含有層あるいはパターン加工されたレジスト膜をマスクとして被加工層を加工する。

【0026】上記の本発明の半導体装置の製造方法によれば、非架橋部の少なくとも表層部分にシリル化物含有層を形成するときに、第1領域と第2領域のうち、第1領域において選択的に行うので、第2領域にはシリル化物含有層は形成されず、従って、酸化シリコン含有層も形成されない。このため、基板の第2領域(エッジ部)において残渣を残すことなく容易にレジスト膜を除去することができる。

【0027】上記の本発明の半導体装置の製造方法は、好適には、前記第1領域と第2領域のうち、前記第1領

10

20

30

40

50

域において選択的に前記非架橋部の少なくとも表層部分にシリル化物含有層を形成する工程においては、前記第2領域を保護部材で保護して行う。これにより、第1領域と第2領域のうち、第1領域において選択的に非架橋部の少なくとも表層部分にシリル化物含有層を形成することができる。

【0028】また、上記の目的を達成するため、本発明の半導体装置の製造方法は、第1領域と当該第1領域の外周部である第2領域を有する基板の少なくとも第1領域において、前記基板に形成された被加工層を所定のパターンに加工する半導体装置の製造方法であって、前記第1領域および前記第2領域において、基板に形成された被加工層の上層に全面にレジスト膜を形成する工程と、少なくとも前記第1領域において、前記レジスト膜を所定のパターンに沿って露光し、前記レジスト膜の表層部分に前記パターンに沿って架橋部と非架橋部を形成する工程と、前記第1領域および前記第2領域において、前記非架橋部の少なくとも表層部分にシリル化物含有層を形成する工程と、前記第1領域と第2領域のうち、前記第1領域において選択的に前記シリル化物含有層の少なくとも表層部分に酸化シリコン含有層を形成する工程と、少なくとも前記第1領域において、前記酸化シリコン含有層をマスクとして前記レジスト膜を前記パターンに沿って加工する工程と、前記第1領域および前記第2領域において、前記酸化シリコン含有層あるいは前記パターン加工されたレジスト膜をマスクとして前記被加工層を加工する工程とを有する。

【0029】上記の本発明の半導体装置の製造方法は、第1領域とその外周部である第2領域を有する基板第1領域および第2領域において基板に形成された被加工層の上層に全面にレジスト膜を形成する。次に、少なくとも第1領域においてレジスト膜を所定のパターンに沿って露光し、レジスト膜の表層部分にパターンに沿って架橋部と非架橋部を形成する。次に、第1領域および前記第2領域において非架橋部の少なくとも表層部分にシリル化物含有層を形成し、第1領域と第2領域のうち、第1領域において選択的にシリル化物含有層の少なくとも表層部分に酸化シリコン含有層を形成し、少なくとも第1領域において酸化シリコン含有層をマスクとしてレジスト膜をパターンに沿って加工する。次に、第1領域および第2領域において酸化シリコン含有層あるいはパターン加工されたレジスト膜をマスクとして被加工層を加工する。

【0030】上記の本発明の半導体装置の製造方法によれば、シリル化物含有層の少なくとも表層部分に酸化シリコン含有層を形成するときに、第1領域と第2領域のうち第1領域において選択的に行うので、第2領域には酸化シリコン含有層は形成されない。従って、基板の第2領域（エッジ部）において残渣を残すことなく容易にレジスト膜を除去することができる。

【0031】上記の本発明の半導体装置の製造方法は、好適には、前記第1領域と第2領域のうち、前記第1領域において選択的に前記シリル化物含有層の少なくとも表層部分に酸化シリコン含有層を形成する工程においては、前記第2領域を保護部材で保護して行う。これにより、第1領域と第2領域のうち、第1領域において選択的にシリル化物含有層の少なくとも表層部分に酸化シリコン含有層を形成することができる。

【0032】上記の本発明の半導体装置の製造方法は、好適には、前記レジスト膜として被露光部分に架橋部を形成するレジスト膜を使用し、前記少なくとも前記第1領域において前記レジスト膜の表層部分に前記パターンに沿って架橋部と非架橋部を形成する工程においては、前記レジスト膜を所定のパターンに沿って露光する工程により、前記レジスト膜の被露光部分の表層部分に架橋部を形成し、前記レジスト膜の前記架橋部を除く部分の表層部分を前記非架橋部とする。これにより、レジスト膜の未露光部分にパターンを残すポジ型のシリル化プロセスとすることができる。

【0033】上記の本発明の半導体装置の製造方法は、好適には、前記レジスト膜として露光および架橋処理を施したときに被露光部分に非架橋部を形成し、未露光部分に架橋部を形成するレジスト膜を使用し、前記少なくとも前記第1領域において前記レジスト膜の表層部分に前記パターンに沿って架橋部と非架橋部を形成する工程においては、前記レジスト膜を所定のパターンに沿って露光する工程と、架橋処理を施す工程により、前記レジスト膜の被露光部分の表層部分に非架橋部を形成し、前記レジスト膜の前記非架橋部を除く部分の表層部分に架橋部を形成する。これにより、レジスト膜の被露光部分にパターンを残すネガ型のシリル化プロセスとすることができる。

【0034】上記の本発明の半導体装置の製造方法は、好適には、前記シリル化物含有層の少なくとも表層部分に酸化シリコン含有層を形成する工程においては、前記シリル化物含有層の少なくとも表層部分に酸化シリコン含有層を形成しながら、同時に、前記酸化シリコン含有層をマスクとして前記レジスト膜を前記パターンに沿って加工する。例えば、原料ガス中に酸素を含有するプラズマ処理を施すことにより、ドライ現像処理として、シリル化物含有層の少なくとも表層部分に酸化シリコン含有層を形成する工程と、酸化シリコン含有層をマスクとしてレジスト膜をパターンに沿って加工する工程を同時に行い、工程を簡略化することができる。

【0035】また、上記の目的を達成するため、本発明の半導体装置の製造装置は、基板上に形成されたレジスト膜をシリル化剤によりシリル化処理する半導体装置の製造装置であって、シリル化処理室と、前記基板を載置するように前記シリル化処理室内に設けられた基台と、前記基板のエッジ部を保護する保護部材と、前記シリル



化処理室にシリル化剤を導出入する手段とを有する。

【0036】上記の半導体装置の製造装置は、基板のエッジ部を保護する保護部材を有しており、基板上に形成されたレジスト膜をシリル化剤によりシリル化処理するとき、基板のエッジ部を保護部材で保護して行うことができるので、基板のエッジ部にはシリル化物含有層が形成されるのを防ぐことができる。従って、酸化シリコン含有層も形成されず、シリル化プロセスにおいて基板のエッジ部において残渣を残すことなく容易にレジスト膜を除去することができる。

【0037】また、上記の目的を達成するため、本発明の半導体装置の製造装置は、基板上に形成されたレジスト膜をドライエッチングによりパターン加工する半導体装置の製造装置であって、エッチング処理室と、前記基板を載置するように前記エッチング処理室内に設けられた基台と、前記基板のエッジ分を保護する保護部材と、前記エッチング処理室にエッチングガスを導出入する手段とを有する。

【0038】上記の半導体装置の製造装置は、基板のエッジ分を保護する保護部材を有しており、例えば原料ガス中に酸素を含有するプラズマ処理などにより基板上に形成されたレジスト膜をドライエッチングによりパターン加工するとき、基板のエッジ部を保護部材で保護して行うことができるので、基板のエッジ部には酸化シリコン含有層が形成されるのを防ぐことができる。従って、シリル化プロセスにおいて基板のエッジ部において残渣を残すことなく容易にレジスト膜を除去することができる。

【0039】

【発明の実施の形態】以下に、本発明の実施の形態について、図面を参照して説明する。

#### 【0040】第1実施形態

図1(a)は、本実施形態において使用するシリル化処理装置の模式図である。シリル化処理室1と、シリル化処理室1内に設けられた処理温度制御機構を内蔵する基台2と、シリル化処理室1に気相のシリル化剤を導出入する導入口G<sub>in</sub>および排出口G<sub>out</sub>が設けられている。シリル化処理においては、基台2上にシリル化処理を施すレジスト膜が形成された基板10を載置して、基板10のエッジ部を保護部材3で保護し、導入口G<sub>in</sub>からシリル化剤Sを導入して処理することができる。

【0041】上記のシリル化処理装置の基板10の外周部近傍領域を拡大した要部拡大図が図1(b)である。基板10の上層に形成されたレジスト膜20のエッジ部を保護部材3が保護している。上記のシリル化処理装置を用いて基板10をシリル化する場合、シリル化剤Sは保護部材3で保護された領域のレジスト膜20の表面からは拡散できず、保護部材3の開口領域のレジスト膜20の表面から選択的に拡散してシリル化物含有領域21が形成される。

【0042】上記のシリル化処理装置を使用して、ボジ型のシリル化プロセスにより基板の上層に形成されたレジスト膜をパターン加工し、このパターン加工されたレジスト膜をマスクとして用いてMOSトランジスタのゲート電極をパターン加工する半導体装置の製造方法について説明する。

【0043】図2は、上記の半導体装置の製造方法のトランジスタ形成工程後における(a)半導体基板の平面図および(b)前記半導体基板のエッジ近傍領域の断面図である。領域AはMOSトランジスタが形成されている本パターン領域である。例えば半導体基板10上のSTI(Shallow Trench Isolation)型の素子分離絶縁膜20で分離された活性領域上に、例えば酸化シリコンからなるゲート絶縁膜21が形成されており、その上層に例えばポリシリコンのゲート電極30aが形成されている。また、ゲート電極30aの両側部における半導体基盤10中には、導電性不純物の拡散層であるソース・ドレイン領域11が形成されている。以上のようにして、MOSトランジスタが構成されている。

【0044】一方、領域Bは半導体基板のエッジ部であり、領域Aの外周部に相当する。領域Bは完全な回路パターンを有していない領域であり、本来この領域には半導体素子は形成しなくともよいが、製造工程上、導電性不純物の拡散層12が形成されている。

【0045】上記の図2に示す構造に至るまでの製造方法の製造工程について説明する。まず、図3(a)に示すように、シリコン半導体基板10の領域A(本パターン領域)において、例えばSTI型の素子分離絶縁膜を形成する。

【0046】次に、図3(b)に示すように、例えば熱酸化法により領域Aおよび領域B(エッジ部)において全面に酸化シリコン膜21を形成する。領域Aにおいて、酸化シリコン膜21はトランジスタのゲート絶縁膜となる。

【0047】次に、図3(c)に示すように、例えばCVD(Chemical Vapor Deposition)法により領域Aおよび領域Bにおいて全面に例えばポリシリコン層30を堆積させる。領域Aにおいて、ポリシリコン層30はトランジスタのゲート電極となる層である。

【0048】次に、図4の(d)斜視図および(e)断面図に示すように、領域Aおよび領域Bにおいて、例えばポリシリコン層30の上層に全面に、回転塗布によりポリビニルフェノール系のボジ型シリル化プロセス用のレジスト膜40を形成する。ここで、レジスト膜40としては、露光後に直ちに架橋反応をするもの、あるいは、露光によってまず酸を生じてこれが触媒になり、その後のベーキング処理により2次的に架橋反応をするものなど、架橋反応機構としてはどのようなものでもよいが、露光された部分が架橋するタイプのレジスト膜を用いる。

【0049】次に、図5の(f)斜視図および(g)断面図に示すように、次に領域Bにおいて、例えば外周部から数mmの領域Xにおけるレジスト膜40をシンナーS1で除去する。半導体装置の製造装置としては、基板の外周部(エッジ部)Xを爪で固定して処理するものが多く、この爪にレジスト膜が付着して汚染してしまうことを防止するためである。次に半導体基板10をホットプレートで加熱して、レジスト中の溶剤を蒸発させ、レジスト膜40を硬化させる。

【0050】次に、図6(h)に示すように、領域Aにおいて、ポジ型のマスク(未露光部分をパターンとして残すマスク)MPをマスクとして、ポジ像のパターン光LPをレジスト膜40に照射する。露光された部分のレジスト膜40の表層部分の中の分子は架橋反応を起こし、架橋部41を形成する。一方、領域Bは、パターンを形成する必要がないので例えば露光しない。

【0051】次に、図6(i)に示すように、領域Bにおいて基板10上に形成されたレジスト膜40を保護部材3で保護しながら、領域Aにおいて選択的にレジスト膜40(41)表面を気相のシリル化剤Sに曝露する。架橋部41においてはシリル化剤の拡散が防止されるが、非架橋部(架橋部41を除くレジスト膜40部分)表面からはシリル化剤が拡散して、非架橋部の表層部分に0.1μm程度の膜厚で選択的にシリル化物含有層42が形成される。このシリル化剤の拡散工程は、液相のシリル化剤中に浸漬しても可能である。シリル化剤Sは保護部材3で保護された領域のレジスト膜40の表面からは拡散できないので、領域Bにおいてシリル化物含有層42は形成されない。

【0052】次に、図6(j)に示すように、例えばドライ現像処理として、原料ガス中に酸素を含有するプラズマ(O<sub>2</sub>、プラズマ)E1を用いた反応性イオンエッチング(RIE)処理を施すことにより、シリル化物含有層42の表層部分に酸化シリコン(SiO<sub>x</sub>)含有層42bが形成され、酸化シリコン含有層42bを除く領域がシリル化物含有層42aとなる。同時に、このO<sub>2</sub>、プラズマ処理により、酸化シリコン含有層42aをマスクとして、架橋部41を含むレジスト膜40がエッチング加工されて、領域Aにおいて未露光部分のレジスト膜40aを残すポジパターンが形成される。領域Bにおいては、上記のように酸化シリコン含有層が形成されないの

で、レジスト膜のパターンは形成されない。

【0053】次に、図7(k)に示すように、例えばプラズマE2を用いた反応性イオンエッチング処理を施すことにより、酸化シリコン含有層42bをマスクとして、ポリシリコン層30をエッチング加工し、領域Aにおいて、ポリシリコンのゲート電極30aを形成する。

【0054】次に、図7(l)に示すように、例えば原料ガス中にフッ素を含有するプラズマ処理により酸化シリコン含有層42bおよびシリル化物含有層42aをエ

ッチング除去し、さらに原料ガス中に酸素を含有するプラズマ処理によりバルクのレジスト膜40aをアッシング除去する。または、剥離液により酸化シリコン含有層42bおよびシリル化物含有層42a、さらにバルクのレジスト膜40aを除去する。

【0055】次に、図7(m)に示すように、領域Aにおいて、例えば半導体基板10の導電型と異なる導電型の導電性不純物(基板がp型の場合には、リンなどのn型不純物、基板がn型の場合には、ホウ素などのp型不純物)をゲート電極30aをマスクとしてイオン注入して、ゲート電極30aの両側部における半導体基板10中に、導電性不純物の拡散層であるソース・ドレイン領域11を形成する。このとき、領域Bにおいても導電性不純物の拡散層12が形成される。領域Bをレジスト膜などでマスクし、領域Aに選択的にイオン注入することもできる。以上で、図2に示す構造に至る。

【0056】上記の本実施形態の半導体装置の製造方法によれば、領域Aにおいて非架橋部の少なくとも表層部分にシリル化物含有層を形成するときに、領域Bを保護部材で保護しながら行うので、領域Bにはシリル化物含有層は形成されず、従って、酸化シリコン含有層も形成されない。このため、レジスト膜の再生、あるいはエッチングによるパターン転写後のレジスト膜の剥離工程において、基板のエッジ部である領域B(領域Aの外周部)において残渣を残すことなく容易にレジスト膜を除去することができる。

#### 【0057】第2実施形態

本実施形態において使用するエッチング処理装置は、図1(a)の模式図に示す第1実施形態に係るシリル化処理装置とほぼ同様の構成を有している。処理室にシリル化剤Sを導入する代わりに酸素を含むプラズマ原料ガスE'を導入し、処理室内でプラズマを発生させてエッチングガスEを基板面上に供給することにより、シリル化物含有領域の酸化シリコン化を行い、さらに当該酸化シリコンをマスクとしてレジスト膜をパターン加工するエッチング装置とすることができる。

【0058】上記のエッチング装置においても、図1(b)に示すように、保護部材3で保護された領域のレジスト膜20の表面はエッチングガスEにより曝露されないの

で、この領域に酸化シリコン含有層が形成されることはない。

【0059】上記のエッチング処理装置を使用して、ポジ型のシリル化プロセスにより基板の上層に形成されたレジスト膜をパターン加工し、このパターン加工されたレジスト膜をマスクとして用いてMOSトランジスタのゲート電極をパターン加工する半導体装置の製造方法について説明する。

【0060】図8は、上記の半導体装置の製造方法のトランジスタ形成工程後における(a)半導体基板の平面図および(b)前記半導体基板のエッジ近傍領域の断面



図である。第1実施形態に係る半導体装置と実質的に同様であるが、製造工程上、領域Bにおいてポリシリコン層30bが形成されていることが異なる。

【0061】上記の半導体装置の製造方法について説明する。まず、第1実施形態と同様にして、例えばシリコン半導体基板10にSTI型の素子分離絶縁膜20、ゲート絶縁膜となる酸化シリコン膜21、ゲート電極となるポリシリコン層を形成し、さらにその上層に例えばポリビニルフェノール系のシリル化プロセス用のレジスト膜40を形成し、プリ・ベーク処理を施す。次に、図9(a)に示すように、領域Aにおいて、ポジ型のマスクMPをマスクとして、ポジ像のパターン光LPをレジスト膜40に照射する。露光された部分のレジスト膜40の表層部分の中の分子は架橋反応を起こし、架橋部41を形成する。一方、領域Bは、パターンを形成する必要がないので例えば露光しない。

【0062】次に、図9(b)に示すように、領域Aおよび領域Bにおいて、レジスト膜40(41)表面を気相のシリル化剤Sに曝露する。架橋部41においてはシリル化剤の拡散が防止されるが、非架橋部(架橋部41を除くレジスト膜40部分)表面からはシリル化剤が拡散して、非架橋部の表層部分にシリル化物含有層42が形成される。このシリル化剤の拡散工程は、液相のシリル化剤中に浸漬しても可能である。このとき、領域Bにおいてはレジスト膜の側壁表面を含む表層部分にシリル化物含有層42が形成されることになる。レジスト膜の上面からはシリル化剤は一方向にしか拡散しないが、レジスト膜の側壁表面部分においては、シリル化剤が四方に拡散する。この結果、側壁表面において形成されるシリル化物含有層42の膜厚T2はレジスト膜の上面において形成されるシリル化物含有層42の膜厚T1よりも厚く形成される。

【0063】次に、図9(c)に示すように、領域Bにおいて基板10上に形成されたレジスト膜40のエッジ部を保護部材3で保護しながら、例えばドライ現像処理として、領域Aにおいて選択的にレジスト膜40(41)表面に原料ガス中に酸素を含有するプラズマ(O<sub>2</sub>プラズマ)E1を用いたRIE処理を施すことにより、シリル化物含有層42の表層部分に酸化シリコン(SiO<sub>x</sub>)含有層42bが形成され、酸化シリコン含有層42bを除く領域がシリル化物含有層42aとなる。同時に、このO<sub>2</sub>プラズマ処理により、酸化シリコン含有層42bをマスクとして、架橋部41を含むレジスト膜40がエッチング加工されて、未露光部分のレジスト膜40aを残すポジパターンを形成する。領域Bにおいては、レジスト膜40およびシリル化物含有層42が保護されており、エッチングされずに残されてポジパターンが形成される。

【0064】次に、図10(d)に示すように、例えばプラズマE2を用いた反応性イオンエッチング処理を施

すことにより、酸化シリコン含有層42bあるいはレジスト膜をマスクとして、ポリシリコン層30をエッチング加工し、領域Aにおいて、ポリシリコンのゲート電極30aを形成する。このとき、領域Bにもポジパターンが残されることから、ポリシリコン層30bが残されて形成される。

【0065】次に、図10(e)に示すように、プラズマ処理などによるアッシング処理、あるいは、剥離液を用いて、酸化シリコン含有層42b、シリル化物含有層42aおよびレジスト膜40aを除去する。

【0066】次に、図10(f)に示すように、領域Aにおいて、例えば半導体基板10の導電型と異なる導電型の導電性不純物をゲート電極30aをマスクとしてイオン注入して、ゲート電極30aの両側部における半導体基板10中に、導電性不純物の拡散層であるソース・ドレイン領域11を形成する。このとき、領域Bにおいても導電性不純物の拡散層12が形成される。領域Bをレジスト膜などでマスクし、領域Aに選択的にイオン注入することもできる。以上で、図8に示す構造に至る。

【0067】上記の本実施形態の半導体装置の製造方法によれば、領域Aにおいてシリル化物含有層の表層部分に酸化シリコン含有層を形成するときに、領域Bを保護部材で保護しながら行うので、ここには酸化シリコン含有層は形成されない。このため、レジスト膜の再生、あるいはエッチングによるパターン転写後のレジスト膜の剥離工程において、基板のエッジ部である領域B(領域Aの外周部)において残渣を残すことなく容易にレジスト膜を除去することができる。

【0068】本発明は、DRAMなどのMOSトランジスタの半導体装置や、バイポーラ系の半導体装置、あるいはA/Dコンバータなど、フォトリソグラフィ工程によりフォトリソ膜をパターン加工する工程を有している半導体装置の製造方法であれば何にでも適用できる。

【0069】本発明は、上記の実施の形態に限定されない。例えば、実施形態ではゲート電極を加工するためのパターン加工用レジスト膜として、シリル化プロセスによりレジスト膜を形成しているが、ゲート電極以外の導電層、基板自体、あるいは絶縁膜などの加工に適用することができる。また、ポジ型のシリル化プロセスについて説明しているが、被露光領域が非架橋部となり、未露光領域が架橋部となるタイプのレジスト膜を用いることによりネガ型のシリル化プロセスとすることも可能であり、基板のエッジ部(外周部)にシリル化物含有層が形成されることを防止するなどの同様の効果を得ることができる。その他、本発明の要旨を逸脱しない範囲で種々の変更を行うことができる。

【0070】

【発明の効果】本発明によれば、シリル化プロセスにより基板上にレジスト膜をパターン加工するときに、基板

のエッジ部において残渣を残すことなく前記レジスト膜を除去することができる半導体装置の製造方法提供することができる。

【0071】また、本発明によれば、上記の半導体装置の製造方法を実現するための半導体の製造装置を提供することが可能である。

【図面の簡単な説明】

【図1】図1は第1および第2実施形態において使用する半導体装置の製造装置の(a)模式図および(b)要部拡大図である。

【図2】図2は第1実施形態に係る半導体装置のトランジスタ形成工程後における(a)基板の平面図および(b)前記基板のエッジ近傍領域の断面図である。

【図3】図3は第1実施形態に係る半導体装置の製造方法の製造工程を示す断面図であり、(a)は素子分離絶縁膜の形成工程まで、(b)はゲート絶縁膜となる酸化シリコン層の形成工程まで、(c)はゲート電極となるポリシリコン層の形成工程までを示す。

【図4】図4は図3の続きのレジスト膜を形成する工程までを示す(d)斜視図および(e)断面図である。

【図5】図5は図4の続きの基板の外周部のレジスト膜を除去する工程までを示す(f)斜視図および(g)断面図である。

【図6】図6は図5の続きの工程を示す断面図であり、(h)はパターン露光工程まで、(i)はシリル化物含有層の形成工程まで、(j)は酸化シリコン含有層の形成およびレジスト膜のパターン加工工程までを示す。

【図7】図7は図6の続きの工程を示す断面図であり、(k)はゲート電極のパターン加工工程まで、(l)はレジスト膜の除去工程まで、(m)はソース・ドレイン領域の形成工程までを示す。

【図8】図8は第2実施形態に係る半導体装置のトランジスタ形成工程後における(a)半導体基板の平面図および(b)前記半導体基板のエッジ近傍領域の断面図である。

【図9】図9は第2実施形態に係る半導体装置の製造方法の製造工程を示す断面図であり、(a)はパターン露光工程まで、(b)はシリル化物含有層の形成工程ま

で、(d)は酸化シリコン含有層の形成およびレジスト膜のパターン加工工程までを示す。

【図10】図10は図9の続きの工程を示す断面図であり、(k)はゲート電極のパターン加工工程まで、

(l)はレジスト膜の除去工程まで、(m)はソース・ドレイン領域の形成工程までを示す。

【図11】図11は従来例に係る半導体装置の製造方法の製造工程を示す断面図であり、(a)は基板の形成工程まで、(b)はレジスト膜の形成工程まで、(c)は露光工程までを示す。

【図12】図12は図11の続きの工程を示す断面図であり、(d)はシリル化物含有層の形成工程まで、(e)は酸化シリコン含有層の形成およびレジスト膜のパターン加工工程までを示す。

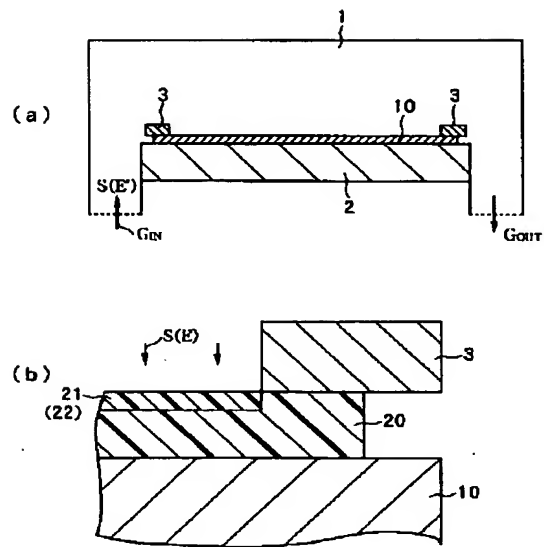
【図13】図13は従来例に係る半導体装置の製造方法の基板のエッジ部における製造工程を示す断面図であり、(a)はレジスト膜の形成工程まで、(b)はシリル化物含有層の形成工程まで、(c)は酸化シリコン含有層の形成およびレジスト膜のパターン加工工程までを示す。

【図14】図14は従来例に係る半導体装置の製造方法の問題点を説明するための図であり、(a)はシリル化物含有層の形成後にシリル化物含有層を除去した場合の残渣を、(b)は酸化シリコン含有層の形成およびレジスト膜のパターン加工後にシリル化物含有層を除去した場合の残渣を、(c)は基板上に形成される残渣の形状を示す平面図をそれぞれ示す。

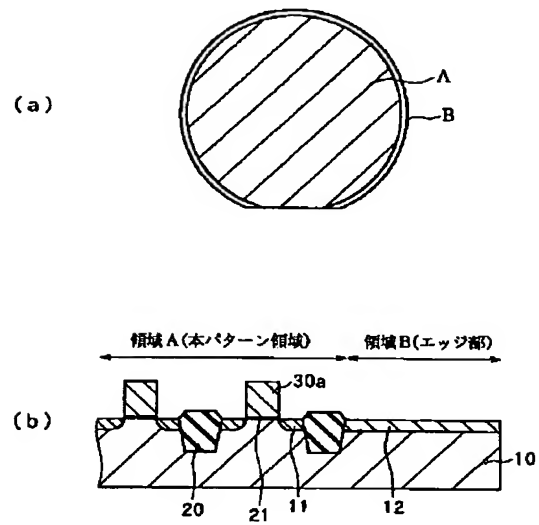
【符号の説明】

1…シリル化処理(エッチング処理)室、2…基台、3…保護部材、G<sub>in</sub>、G<sub>out</sub>…ガス導出入口、10…半導体基板、11…ソース・ドレイン領域、12…導電性不純物の拡散層、20…素子分離絶縁膜、21…ゲート絶縁膜、30、30b…ポリシリコン層、30a…ゲート電極、40、40a…レジスト膜、41…架橋部、42、42a…シリル化物含有層、42b…酸化シリコン含有層、42c…残渣、LP…パターン露光用の光、MP…マスク、S…シリル化剤、E、E1、E2…エッチングガス、D…導電性不純物、S1…剥離液。

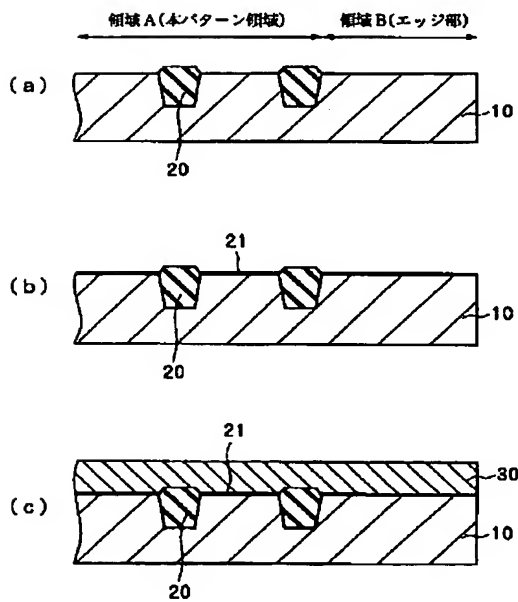
【図1】



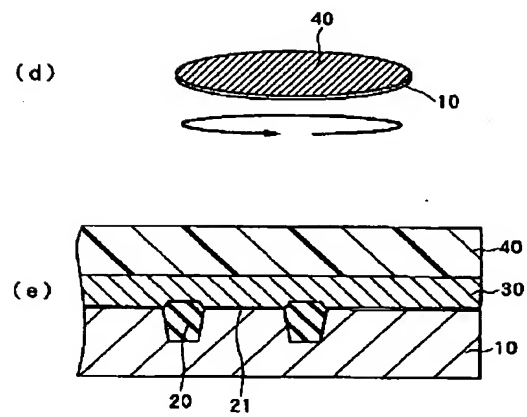
【図2】



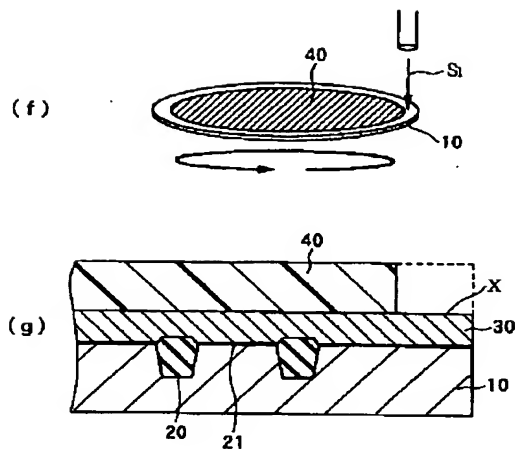
【図3】



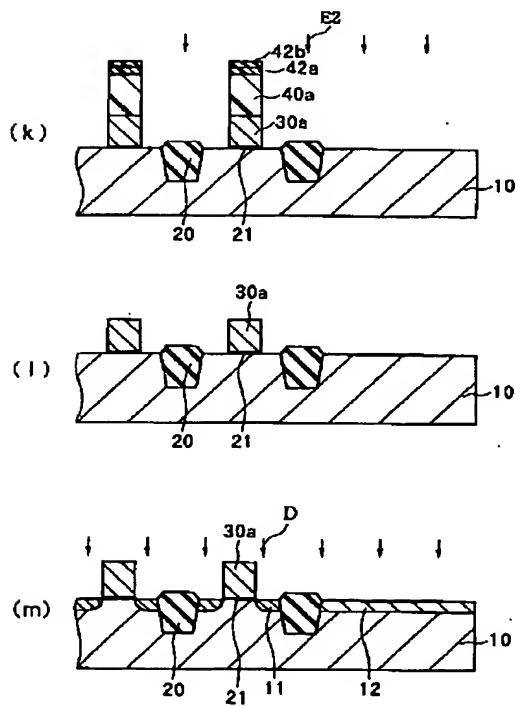
【図4】



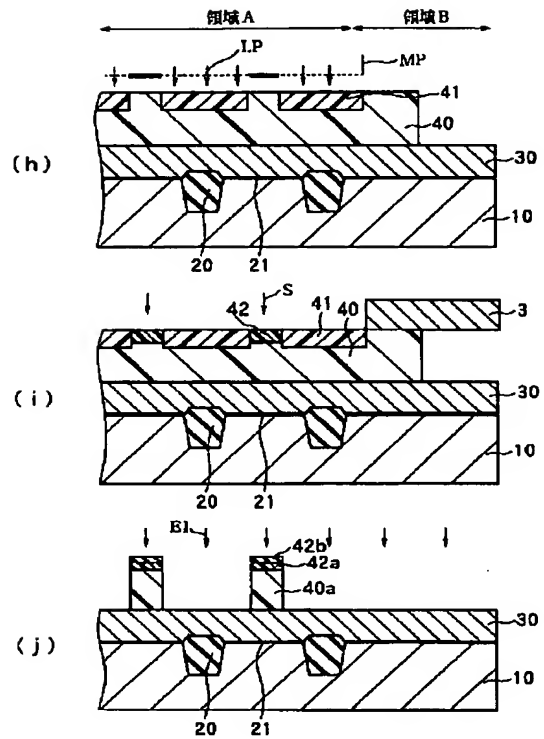
【図5】



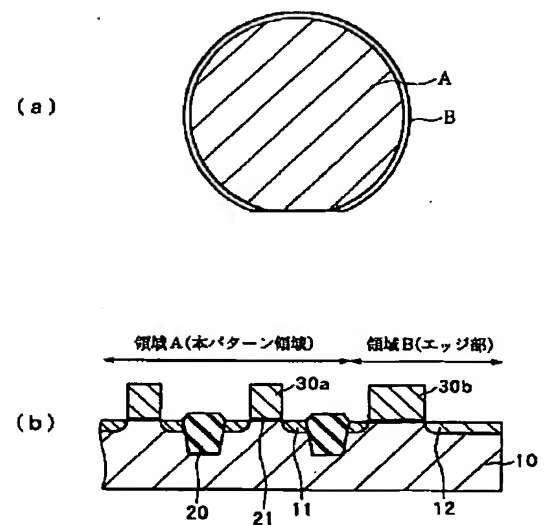
【図7】



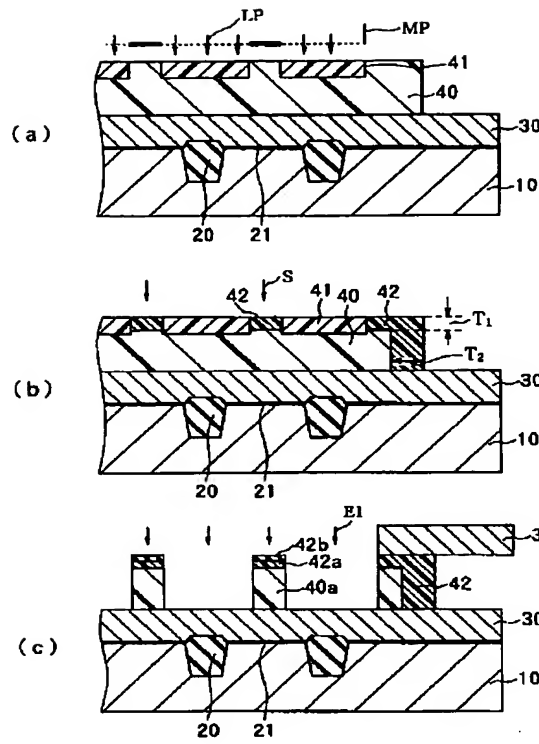
【図6】



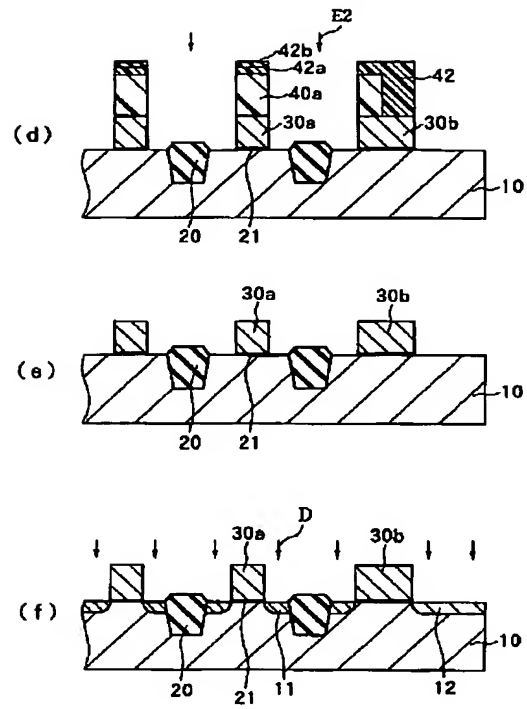
【図8】



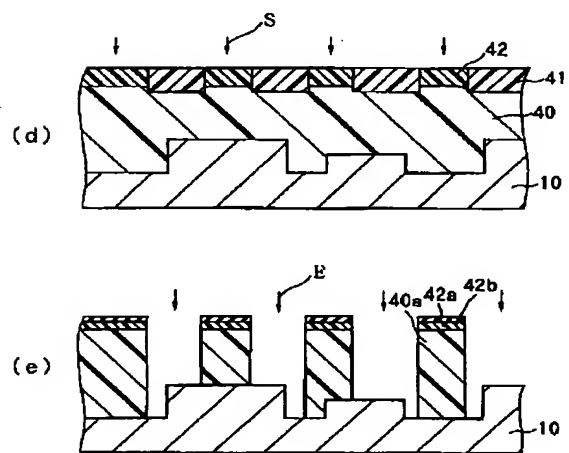
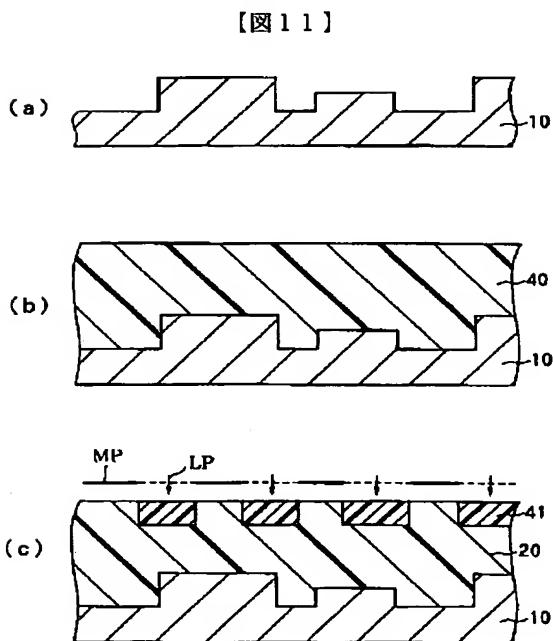
【図9】



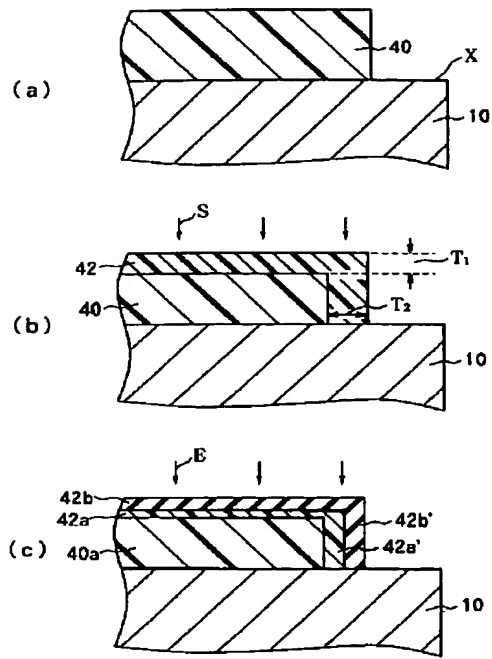
【図10】



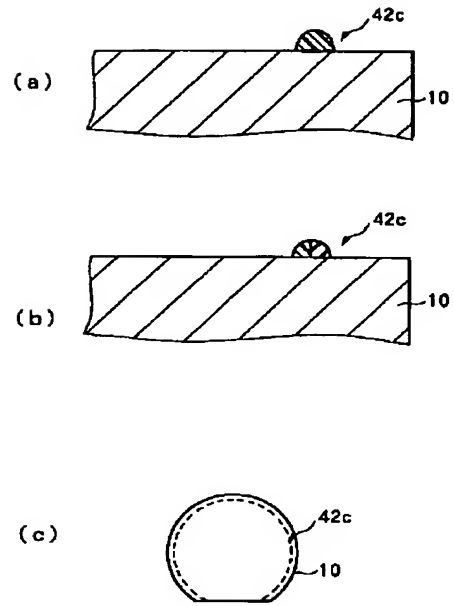
【図12】



【図13】



【図14】



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGES CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE (S) OR EXHIBIT (S) SUBMITTED ARE POOR
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox**